

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

JP 598736 PTO
09/598736
06/21/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

1999年 6月29日

出 願 番 号
Application Number:

平成11年特許願第183258号

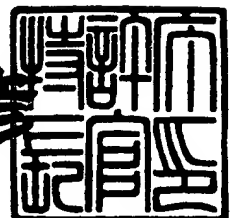
出 願 人
Applicant(s):

株式会社半導体エネルギー研究所

2000年 4月21日

特 許 庁 長 官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特2000-3028721

【書類名】 特許願
【整理番号】 P004231-03
【提出日】 平成11年 6月29日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 21/00
【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 高山 徹

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 佐藤 恵司

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 山崎 舜平

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 配線材料およびこれを用いた配線を備えた半導体装置およびその作製方法

【特許請求の範囲】

【請求項 1】

タングステンまたはタングステン化合物を主成分とする配線材料であって、前記配線材料中の不活性気体にアルゴンを 9 0 % 以上含み、且つ、前記配線材料中におけるナトリウムの含有量は 0 . 3 p p m 以下であることを特徴とする配線材料。

【請求項 2】

請求項 1 において、前記タングステン化合物は、T a、T i、M o、C r、N b、S i から選ばれた一種の元素、または複数種の元素とタングステンとの化合物であることを特徴とする配線材料。

【請求項 3】

請求項 1 または請求項 2 において、前記配線材料の電気抵抗率が $4 0 \mu \Omega \cdot \text{cm}$ 以下であることを特徴とする配線材料。

【請求項 4】

W、T a、T i、M o、C r、N b、S i から選ばれた一種の元素、または複数種の元素を含む金属膜、前記元素を主成分とする金属化合物膜、前記元素を組み合わせた合金膜、もしくは前記金属膜、金属化合物膜または合金膜から選ばれた薄膜を積層した積層膜からなる配線を備え、

前記配線は前記配線中の不活性気体にアルゴンを 9 0 % 以上含み、且つ、前記配線中におけるナトリウムの含有量は 0 . 3 p p m 以下であることを特徴とする半導体装置。

【請求項 5】

タングステンまたはタングステン化合物を主成分とする膜と、タングステンの窒化物膜とを含む積層構造を有する配線を備えた半導体装置であって、

前記配線は前記配線中の不活性気体にアルゴンを 9 0 % 以上含み、且つ、前記配線におけるナトリウムの含有量は 0 . 3 p p m 以下であることを特徴とする半導

体装置。

【請求項 6】

導電性を付与する不純物元素が添加されたシリコン膜と、タングステンまたはタングステン化合物を主成分とする膜と、タングステンの窒化物膜とを含む積層構造を有する配線を備えた半導体装置であって、

前記配線は前記配線中の不活性気体にアルゴンを 9 0 % 以上含み、且つ、前記配線におけるナトリウムの含有量は 0 . 3 p p m 以下であることを特徴とする半導体装置。

【請求項 7】

請求項 4 乃至 6 のいずれか一において、前記配線は、アルゴンをスパッタガスとして用いたスパッタ法により形成されたことを特徴とする半導体装置。

【請求項 8】

請求項 4 乃至 7 のいずれか一において、前記配線中に含まれるアルゴン以外の不活性元素は、1 a t o m s % 以下であることを特徴とする半導体装置。

【請求項 9】

請求項 4 乃至 7 のいずれか一において、前記配線中に含まれるアルゴン以外の不活性元素は、0 . 1 a t o m s % 以下であることを特徴とする半導体装置。

【請求項 1 0】

請求項 8 または請求項 9 において、前記アルゴン以外の不活性元素は、X e または C r であることを特徴とする半導体装置。

【請求項 1 1】

請求項 5 乃至 1 0 のいずれか一において、前記タングステンまたはタングステン化合物を主成分とする膜の内部応力は、 $-1 \times 10^{10} \text{ dyn/cm}^2 \sim 1 \times 10^{10} \text{ dyn/cm}^2$ であることを特徴とする半導体装置。

【請求項 1 2】

請求項 4 乃至 1 1 のいずれか一において、前記配線の線幅は $5 \mu \text{ m}$ 以下であることを特徴とする半導体装置。

【請求項 1 3】

請求項 4 乃至 1 2 のいずれか一において、前記配線の膜厚は $0 . 1 \mu \text{ m}$ 以上、0

． 7 μ m以下であることを特徴とする半導体装置。

【請求項 1 4】

請求項 4 乃至 1 3 のいずれか一において、前記配線を T F T のゲート配線として用いたことを特徴とする半導体装置。

【請求項 1 5】

請求項 4 乃至 1 4 のいずれか一において、前記配線とアルミニウム配線との接触面積 1 μ m²あたりの抵抗値は 4 0 Ω 以下であることを特徴とする配線を備えた半導体装置。

【請求項 1 6】

請求項 4 乃至 1 5 に記載された半導体装置とは、アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型 E L ディスプレイまたはアクティブマトリクス型 E C ディスプレイであることを特徴とする半導体装置。

【請求項 1 7】

請求項 1 6 に記載された半導体装置を表示媒体として搭載したことを特徴とする半導体装置。

【請求項 1 8】

請求項 1 7 に記載された半導体装置とは、ビデオカメラ、デジタルカメラ、プロジェクター、ゴーグル型ディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末であることを特徴とする半導体装置。

【請求項 1 9】

絶縁表面上に配線を少なくとも含む半導体装置の作製方法において、前記配線は、スパッタ法によりタングステン膜を形成する工程と、前記タングステン膜をパターニングする工程とによって形成することを特徴とする半導体装置の作製方法。

【請求項 2 0】

請求項 1 9 において、前記スパッタ法は、純度が 4 N 以上のタングステンスターゲットを用いることを特徴とする半導体装置の作製方法。

【請求項 2 1】

請求項 1 9 において、前記スパッタ法は、純度が 4 N 以上のタングステン合金

ターゲットを用いることを特徴とする半導体装置の作製方法。

【請求項 2 2】

請求項 1 9 乃至 2 1 のいずれか一において、前記スパッタ法は、アルゴンのみをスパッタガスとしたスパッタ法であることを特徴とする半導体装置の作製方法。

【請求項 2 3】

請求項 1 9 乃至 2 2 のいずれか一において、前記スパッタ法は、基板温度を 3 0 ℃以下とすることを特徴とする半導体装置の作製方法。

【請求項 2 4】

請求項 1 9 乃至 2 3 のいずれか一において、前記スパッタ法は、ガス圧を 1 . 0 P a ~ 3 . 0 P a とすることを特徴とする半導体装置の作製方法。

【請求項 2 5】

請求項 1 9 乃至 2 3 のいずれか一において、前記スパッタ法は、ガス圧を 1 . 0 P a ~ 2 . 0 P a とすることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本願発明は半導体装置の配線材料に関するものである。特に、薄膜トランジスタ（以下、T F T という）で構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示パネルに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器に関する。

【0 0 0 2】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【0 0 0 3】

【従来の技術】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百 n m 程度）を用いて薄膜トランジスタ（T F T）を構成する技術が注目されている。薄膜トランジスタは I C や電気光学装置のような電子デバイスに広く応用され、特

に画像表示装置のスイッチング素子として開発が急がれている。

【 0 0 0 4 】

従来、上記 T F T の配線材料としては、スパッタ法を用いた抵抗率の低いアルミニウム膜が多用されている。しかしながら、アルミニウムを配線材料として用いて T F T を作製した場合、熱処理によってヒロックやウィスカー等の突起物の形成や、アルミニウム原子のチャネル形成領域への拡散により、T F T の動作不良や T F T 特性の低下を引き起こしていた。

【 0 0 0 5 】

【発明が解決しようとする課題】

上記に示したようにアルミニウムは、耐熱性が低いため T F T の作製プロセスにおいて好ましい配線材料ではない。

【 0 0 0 6 】

このため、アルミニウム以外の配線材料として、例えばタンタル (T a) やチタン (T i) 等を主成分に含む材料を使用する試みがなされている。タンタルやチタンはアルミニウムに比べれば耐熱性が高い一方、電気抵抗率が高いという問題が生じる。また、タンタルは 5 0 0 ℃ 程度の熱処理を施すと、熱処理前のものと比べて電気抵抗率が数倍に増大するため問題となっていた。

【 0 0 0 7 】

また、基板上に形成された膜が大きな応力を持つ場合、基板の反りや、膜自体の剥離が生じるため、スパッタ法により形成された膜は、膜応力の制御を行って、できるだけ低い応力を持つ膜を形成することが望まれている。膜応力の制御を行う一つの手段として、アルゴン (A r) やクリプトン (K r) やキセノン (X e) の混合ガスをスパッタガスとして用いることが提案されている。しかしながら、クリプトン (K r) やキセノン (X e) は高価なものであるため、混合ガスを用いることは、大量生産する場合において不適であった。

【 0 0 0 8 】

本願発明は、上記問題点を鑑みてなされたものであり、A M - L C D に代表される電気光学装置の各回路の配線または電極として、電気抵抗率が十分に低く、且つ耐熱性が十分に高い材料を用い、高い信頼性を有する電気光学装置およびその

作製方法を提供することを課題とする。

【0009】

【課題を解決するための手段】

本明細書で開示する発明の構成は、

タングステンまたはタングステン化合物を主成分とする配線材料であって、前記配線材料中の不活性気体にアルゴンを90%以上含み、且つ、前記配線材料中におけるナトリウムの含有量は0.3ppm以下であることを特徴とする配線材料である。

【0010】

上記構成において、前記タングステン化合物は、Ta、Ti、Mo、Cr、Nb、Siから選ばれた一種の元素、または複数種の元素とタングステンとの化合物である。

【0011】

また、上記構成において、前記配線材料の電気抵抗率が $40\mu\Omega\cdot\text{cm}$ 以下、好ましくは $20\mu\Omega\cdot\text{cm}$ 以下であることを特徴としている。

【0012】

また、他の発明の構成は、

W、Ta、Ti、Mo、Cr、Nb、Siから選ばれた一種の元素、または複数種の元素を含む金属膜、前記元素を主成分とする金属化合物膜、前記元素を組み合わせた合金膜、もしくは前記金属膜、金属化合物膜または合金膜から選ばれた薄膜を積層した積層膜からなる配線を備え、

前記配線は前記配線中の不活性気体にアルゴンを90%以上含み、且つ、前記配線中におけるナトリウムの含有量は0.3ppm以下であることを特徴とする半導体装置である。

【0013】

また、他の発明の構成は、

タングステンまたはタングステン化合物を主成分とする膜と、タングステンの窒化物膜とを含む積層構造を有する配線を備えた半導体装置であって、

前記配線は前記配線中の不活性気体にアルゴンを90%以上含み、且つ、前記配

線におけるナトリウムの含有量は 0. 3 p p m 以下であることを特徴とする半導体装置である。

【 0 0 1 4 】

また、他の発明の構成は、

導電型を付与する不純物元素が添加されたシリコン膜と、タングステンまたはタングステン化合物を主成分とする膜と、タングステンの窒化物膜とを含む積層構造を有する配線を備えた半導体装置であって、

前記配線は前記配線中の不活性気体にアルゴンを 9 0 % 以上含み、且つ、前記配線におけるナトリウムの含有量は 0. 3 p p m 以下であることを特徴とする半導体装置である。

【 0 0 1 5 】

上記各構成において、前記配線は、アルゴンをスパッタガスとして用いたスパッタ法により形成されたことを特徴としている。

【 0 0 1 6 】

上記各構成において、前記配線中に含まれるアルゴン以外の不活性元素 (X e または C r) は、 1 a t o m s % 以下、好ましくは 0. 1 a t o m s % 以下であることを特徴としている。

【 0 0 1 7 】

また、上記各構成のいずれか一において、前記タングステンまたはタングステン化合物を主成分とする膜の内部応力は、 $-1 \times 10^{10} \text{ dyn/cm}^2 \sim 1 \times 10^{10} \text{ dyn/cm}^2$ であることを特徴としている。

【 0 0 1 8 】

また、上記各構成のいずれか一において、前記配線の線幅は 5 μm 以下であることを特徴としている。

【 0 0 1 9 】

また、上記各構成のいずれか一において、前記配線の膜厚は 0. 1 μm 以上、 0. 7 μm 以下であることを特徴としている。

【 0 0 2 0 】

また、上記各構成のいずれか一において、前記配線を T F T のゲート配線とし

て用いたことを特徴としている。

【0 0 2 1】

また、上記各構造を実現するための発明の構成は、

絶縁表面上に配線を少なくとも含む半導体装置の作製方法において、前記配線は、スパッタ法によりタングステン膜を形成する工程と、前記タングステン膜をパターニングする工程とによって形成することを特徴とする半導体装置の作製方法である。

【0 0 2 2】

上記構成において、前記スパッタ法は、純度が4 N以上のタングステンターゲットを用いることを特徴としている。

【0 0 2 3】

上記構成において、前記スパッタ法は、純度が4 N以上のタングステン合金ターゲットを用いることを特徴としている。

【0 0 2 4】

上記構成において、前記スパッタ法は、アルゴンのみをスパッタガスとしたスパッタ法であることを特徴としている。

【0 0 2 5】

また、上記各構成において、前記スパッタ法は、基板温度を3 0 0℃以下とすることを特徴としている。

【0 0 2 6】

また、上記各構成において、前記スパッタ法は、ガス圧を1. 0 P a ~ 3. 0 P a、好ましくは1. 0 P a ~ 2. 0 P aとすることを特徴としている。

【0 0 2 7】

なお、本明細書中において「内部応力」は図2 8に示すように、基板5 2に対して薄膜5 1が収縮しようとするときには、基板5 2はそれを妨げる方向に引っ張るため薄膜5 1を内側にして変形し、これを引張応力と呼び、「+」方向の応力として表している。一方、薄膜5 1が伸張しようとするときには、基板5 2は押し縮められ薄膜5 1を外側にして変形するので、これを圧縮応力と呼び、「-」方向の応力として表している。

【 0 0 2 8 】

なお、本明細書中において「電極」とは、「配線」の一部であり、他の配線との電氣的接続を行う箇所、または半導体層と交差する箇所を指す。従って、説明の便宜上、「配線」と「電極」とを使い分けるが、「電極」という文言に「配線」は常に含まれているものとする。

【 0 0 2 9 】

【発明の実施の形態】

本願発明の実施形態について、以下に説明する。

【 0 0 3 0 】

上述の課題を解決するために、本発明は、高純度な高融点金属からなるターゲットを用い、スパッタ法によって得られる高融点金属膜を配線材料として提供する。代表的にはタングステン（W）を高融点金属として用いることを本発明の特徴の一つとしている。

【 0 0 3 1 】

ターゲットとしては純度の高い4N（99.99%）以上、好ましくは6N（99.9999%）以上のタングステンターゲットを用い、スパッタガスとしてはアルゴン（Ar）の単体ガスを用いる。

【 0 0 3 2 】

また、本発明は、基板温度、スパッタガスの圧力（ガス圧）を調節することによって応力制御を行うことを特徴の一つとしている。基板温度を300℃以下とし、スパッタガスの圧力を1.0Pa～3.0Pa、好ましくは1.0Pa～2.0Paとすることにより膜の応力を、 $-5 \times 10^{10} \sim 5 \times 10^{10} \text{ dyn/cm}^2$ 、好ましくは $-1 \times 10^{10} \sim 1 \times 10^{10} \text{ dyn/cm}^2$ とすることができる。

【 0 0 3 3 】

また、従来では、スパッタ電力を大きくすると膜応力が増大していた。しかし、上記本願発明を利用することによって、膜応力の増大を抑制できるため、大きなスパッタ電力を投入することができ、スパッタレートを向上させることができる。

【 0 0 3 4 】

上記方法によって得られる本願のタングステン膜のナトリウム (N a) 濃度及びカリウム (K) 濃度を G D M S 分析法によって分析した。その分析結果を表 1 及び図 2 5 に示す。

【 0 0 3 5 】

【表 1】

W膜中Na、K分析結果

放電時間(分)	1	4	6	9	11	14	16
Na ppm	0.08	0.02	0.01	0.02	0.01	0.01	<0.01
Si ppm	1.7	1.2	1.4	1.2	1.2	0.9	0.7
K ppm	<0.03	<0.01	<0.01	<0.01	<0.01	<0.01	<0.01

放電時間(分)	19	21	24	26	29	31	34
Na ppm	0.01	0.02	0.02	0.02	0.02	0.02	0.01
Si ppm	0.6	0.6	0.46	0.37	0.27	0.32	0.27
K ppm	<0.01	<0.01	<0.01	<0.01	<0.01	<0.01	<0.01

放電時間(分)	36	39	41	44	46	49
Na ppm	0.02	0.02	0.02	0.02	0.02	0.02
Si ppm	0.2	0.19	0.16	0.17	0.19	12000
K ppm	<0.01	<0.01	<0.01	<0.01	<0.01	<0.01

※ 1)分析値は、W=100%とした時のRSF換算濃度である。

【 0 0 3 6 】

なお、本明細書中の G D M S 分析法とは、グロー放電質量分析法 (Glow Discharge Mass Spectrometry) の略であり、グロー放電により試料をスパッタ、イオン化して取り出す固体質量分析法である。G D M S 分析法は、安定したイオン源が得られることにより、微量分析法として広く活用されている分析方法である。

【 0 0 3 7 】

表 1 及び図 2 5 に示したように、タングステン膜のナトリウム (N a) 濃度を 0. 3 p p m 以下、好ましくは 0. 1 p p m 以下とすることができ、ゲート配線として用いても T F T 特性に影響を与えない範囲内に抑えることができた。仮に、ゲート電極中にナトリウム (N a) 濃度が多く含まれていた場合は、T F T 特性に悪影響を与えてしまう。

【 0 0 3 8 】

また、半導体装置の配線を、タングステン膜と、窒化されたタングステン膜との

積層構造としてもよい。例えば、絶縁表面上に窒化タングステン (WN_x (但し、 $0 < x < 1$)) を成膜後、タングステン (W) を積層する。また、密着性を向上させるために導電性を有する珪素膜 (例えばリンドーブシリコン膜、ボロンドープシリコン膜等) を窒化タングステン (WN_x) の下層に設ける構成としてもよい。なお、この配線の線幅は $5\ \mu\text{m}$ 以下、膜厚は $0.1 \sim 0.7\ \mu\text{m}$ で形成することができる。

【0039】

図26 (a) に本発明のタングステン膜の応力値、図26 (b) に熱処理 (500°C 、4時間) 後の応力値、図26 (c) に熱処理 (800°C 、4時間) 後の応力値を示した。タングステン膜の成膜条件は、アルゴンガスの流量を $100\ \text{sccm}$ とし、スパッタ電力を $6\ \text{kW}$ とした。ただし、図26 (b) 及び図26 (c) においては、熱処理する際、 $200\ \text{nm}$ の酸化窒化珪素膜 SiO_xNy (但し、 $0 < x, y < 1$) で覆っている。

【0040】

本発明のタングステン膜は、熱処理の温度を上げるにつれて、最初は引張応力を有する膜であったものが、熱処理を加えると、さらに引張応力が増加する傾向を有しているため、膜応力の制御が行いやすい。

【0041】

また、一般的な高融点金属の比較例として、図26 (a) にタンタルと窒化タンタルの積層膜の応力値、図26 (b) に熱処理 (500°C 、4時間) 後の応力値、図26 (c) に熱処理 (800°C 、4時間) 後の応力値を示している。同様に図26 (b) 及び図26 (c) においては、熱処理する際、 $200\ \text{nm}$ の酸化窒化珪素膜 SiO_xNy (但し、 $0 < x, y < 1$) で覆っている。

【0042】

図26 (a) ～図26 (c) に示すように、タンタルと窒化タンタルの積層膜は、熱処理の温度を上げるにつれて、最初は引張応力を有する膜であったものが、熱処理を加えると、圧縮応力を有する膜へと移行する傾向があるため、膜応力の制御が困難である。

【0043】

また、図 2 7 (a) に本発明のタングステン膜の抵抗率、図 2 7 (b) に熱処理 (5 0 0℃、4 時間) 後の抵抗率、図 2 7 (c) に熱処理 (8 0 0℃、4 時間) 後の抵抗率を示した。なお、ここでの抵抗率とは電気抵抗率のことである。

【0 0 4 4】

図 2 7 (a) ～図 2 7 (c) に示すように、本願のタングステン膜は、低抵抗率 ($12 \sim 16 \mu\Omega \cdot \text{cm}$ 程度) を有しており、熱処理後もほとんど抵抗率の変化は見られない。なお、さらにスパッタ条件を適宜変更することによりタングステン膜の抵抗率を $12 \mu\Omega \cdot \text{cm}$ 以下、好ましくは $9 \mu\Omega \cdot \text{cm}$ 程度にすることも可能である。

【0 0 4 5】

一方、一般的な高融点金属は酸化に対して耐性がなく、数 ppm の残留酸素が存在する雰囲気での熱処理で容易に酸化してしまっていた。その結果、電気抵抗率の増大や膜剥がれが生じていた。また、イオンドーピングの際、反応ガスに含まれている微量な酸素等の不純物元素が高融点金属膜に注入されることによっても電気抵抗率が増大していた。

【0 0 4 6】

例えば、タンタルと窒化タンタルの積層膜は、熱処理する際、2 0 0 nm の酸化窒化珪素膜 SiO_xNy (但し、 $0 < x, y < 1$) で覆われているのにも関わらず、熱処理前の抵抗率 ($25 \mu\Omega \cdot \text{cm}$ 程度) と比べて、熱処理後の抵抗率 ($50 \sim 80 \mu\Omega \cdot \text{cm}$ 程度) は数倍に増大していた。

【0 0 4 7】

また、通常、他の導電膜とのコンタクトを形成する場合には、他の導電膜を成膜する前に薄い酸化膜及び汚染物を除去するエッチング処理を行っている。次に、図 2 9 に示す構造を基板 6 0 上に形成する際、熱処理 (5 0 0℃、1 時間) の有無と、電極 6 2 (Al-Si (2 wt \%)) の成膜前にエッチング処理 (1 / 1 0 HF) の有無での、抵抗値の比較を行った結果を表 2 に示す。

【0 0 4 8】

【表 2】

アルミニウム配線とのコンタクト抵抗値			
ゲート材料	熱処理 (500°C、1hr)	1/10HF処理	接触面積1 μm □当たりの 抵抗値(Ω)
W/WN	有り	有り	1.3
	有り	なし	1.3
	なし	有り	1.2
	なし	なし	0.87
Ta/TaN	有り	有り	0.42k
	有り	なし	0.42k
	なし	有り	4.8
	なし	なし	19.7

【0049】

なお、コンタクト数は50個とし、接触面積の合計は約420 μm^2 として、タンタルと窒化タンタルの積層構造を有する電極と、タングステン膜と窒化タングステン膜との積層構造を有する電極とで比較を行った。なお、表2においては、接触面積1 μm □当たりの抵抗値を示した。ここではこの接触面積1 μm □当たりの抵抗値をコンタクト抵抗値と呼ぶ。

【0050】

表2では、タンタルと窒化タンタルの積層構造を有する電極61と電極62（Al-Si（2wt%））とのコンタクト抵抗は、エッチング処理（1/10HF）が有りの場合のほうが、無しの場合よりも抵抗値は下がっている。また、タンタルと窒化タンタルの積層構造を有する配線のコンタクト抵抗は熱処理を施した場合、急激な増大が見られ、その値は0.4k Ω に達している。

【0051】

一方、タングステン膜と窒化タングステン膜との積層構造を有する電極61と電極62（Al-Si（2wt%））とのコンタクト抵抗は、熱処理及びエッチング処理（1/10HF）の有無に関わらず変化が見られない。本願のコンタクト抵抗値は、1.3 Ω と十分低い抵抗値を示している。このコンタクト抵抗値が、40 Ω 以下、好ましくは10 Ω 以下、さらに好ましくは5 Ω 以下であれば配線として使用することが可能である。また、表2においては熱処理する際、図2のように酸化窒化珪素膜で覆っていない。

【0052】

即ち、本発明のタングステン膜は、熱処理する際、酸化窒化珪素膜等で覆わなくとも抵抗率はほとんど変化しない。これらのことから、本発明のタングステン膜は、非常に耐熱性が高く、且つ、酸化されない膜であることがわかる。また、本発明のタングステン膜を用いた場合、このエッチング処理を省略することが可能である。

【 0 0 5 3 】

本発明は、膜中に含まれるナトリウムが 0.03 ppm 以下であり、且つ、熱処理後も低い電気抵抗率 ($40 \mu\Omega \cdot \text{cm}$ 以下) を有し、応力が $-5 \times 10^{10} \text{ dyn/cm}^2 \sim 5 \times 10^{10} \text{ dyn/cm}^2$ に制御されたタングステン膜を T F T のゲート配線材料やその他の配線材料として用いることにより、T F T を備えた半導体装置の動作性能や信頼性を大幅に向上させることができる。

【 0 0 5 4 】

以上の構成でなる本願発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【 0 0 5 5 】

【実施例】

〔実施例 1〕

本発明の実施例について図 1 ～図 5 を用いて説明する。ここでは表示領域の画素 T F T と、表示領域の周辺に設けられる駆動回路の T F T を同一基板上に作製する方法について工程に従って詳細に説明する。但し、説明を簡単にするために、制御回路ではシフトレジスタ回路、バッファ回路などの基本回路である C M O S 回路と、サンプリング回路を形成する n チャネル型 T F T とを図示することにする。

【 0 0 5 6 】

図 1 (A) において、基板 1 0 1 には低アルカリガラス基板や石英基板を用いることができる。本実施例では低アルカリガラス基板を用いた。この場合、ガラス歪み点よりも $10 \sim 20^\circ\text{C}$ 程度低い温度であらかじめ熱処理しておいても良い。この基板 1 0 1 の T F T を形成する表面には、基板 1 0 1 からの不純物拡散を防ぐために、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの下

地膜 102 を形成する。例えば、プラズマ CVD 法で SiH_4 、 NH_3 、 N_2O から作製される酸化窒化シリコン膜を 100 nm、同様に SiH_4 、 N_2O から作製される酸化窒化シリコン膜を 200 nm の厚さに積層形成する。

【0057】

次に、20～150 nm（好ましくは 30～80 nm）の厚さで非晶質構造を有する半導体膜 103a を、プラズマ CVD 法やスパッタ法などの公知の方法で形成する。本実施例では、プラズマ CVD 法で非晶質シリコン膜を 55 nm の厚さに形成した。非晶質構造を有する半導体膜としては、非晶質半導体膜や微結晶半導体膜があり、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。また、下地膜 102 と非晶質シリコン膜 103a とは同じ成膜法で形成することが可能であるので、両者を連続形成しても良い。下地膜を形成した後、一旦大気雰囲気中に晒さないことでその表面の汚染を防ぐことが可能となり、作製する TFT の特性バラツキやしきい値電圧の変動を低減させることができる。（図 1（A））

【0058】

そして、公知の結晶化技術を使用して非晶質シリコン膜 103a から結晶質シリコン膜 103b を形成する。例えば、レーザー結晶化法や熱結晶化法（固相成長法）を適用すれば良いが、ここでは、特開平 7-130652 号公報で開示された技術に従って、触媒元素を用いる結晶化法で結晶質シリコン膜 103b を形成した。結晶化の工程に先立って、非晶質シリコン膜の含有水素量にもよるが、400～500℃で 1 時間程度の熱処理を行い、含有水素量を 5 atom% 以下にしてから結晶化させることが望ましい。非晶質シリコン膜を結晶化させると原子の再配列が起こり緻密化するので、作製される結晶質シリコン膜の厚さは当初の非晶質シリコン膜の厚さ（本実施例では 55 nm）よりも 1～15% 程度減少した。（図 1（B））

【0059】

そして、結晶質シリコン膜 103b を島状に分割して、島状半導体層 104～107 を形成する。その後、プラズマ CVD 法またはスパッタ法により 50～100 nm の厚さの酸化シリコン膜によるマスク層 108 を形成する。（図 1（C））

))

【0060】

そしてレジストマスク109を設け、nチャネル型TFTを形成する島状半導体層105～107の全面にしきい値電圧を制御する目的で $1 \times 10^{16} \sim 5 \times 10^{17} \text{ atoms/cm}^3$ 程度の濃度でp型を付与する不純物元素としてボロン(B)を添加した。ボロン(B)の添加はイオンドープ法で実施しても良いし、非晶質シリコン膜を成膜するときに同時に添加しておくこともできる。ここでのボロン(B)添加は必ずしも必要でないが、ボロン(B)を添加した半導体層110～112はnチャネル型TFTのしきい値電圧を所定の範囲内に収めるために形成することが好ましかった。(図1(D))

【0061】

駆動回路のnチャネル型TFTのLDD領域を形成するために、n型を付与する不純物元素を島状半導体層110、111に選択的に添加する。そのため、あらかじめレジストマスク113～116を形成した。n型を付与する不純物元素としては、リン(P)や砒素(As)を用いれば良く、ここではリン(P)を添加すべく、フォスフィン(PH_3)を用いたイオンドープ法を適用した。形成された不純物領域117、118のリン(P)濃度は $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ の範囲とすれば良い。本明細書中では、ここで形成された不純物領域117～119に含まれるn型を付与する不純物元素の濃度を(n^-)と表す。また、不純物領域119は、画素回路の保持容量を形成するための半導体層であり、この領域にも同じ濃度でリン(P)を添加した。(図2(A))

【0062】

次に、マスク層108をフッ酸などにより除去して、図1(D)と図2(A)で添加した不純物元素を活性化させる工程を行う。活性化は、窒素雰囲気中で $500 \sim 600^\circ\text{C}$ で1～4時間の熱処理や、レーザー活性化の方法により行うことができる。また、両者を併用して行っても良い。本実施例では、レーザー活性化の方法を用い、KrFエキシマレーザー光(波長248nm)を用い、線状ビームを形成して、発振周波数 $5 \sim 50 \text{ Hz}$ 、エネルギー密度 $100 \sim 500 \text{ mJ/cm}^2$ として線状ビームのオーバーラップ割合を80～98%として走査して、

島状半導体層が形成された基板全面を処理した。尚、レーザー光の照射条件には何ら限定される事項はなく、実施者が適宜決定すれば良い。

【0063】

そして、ゲート絶縁膜 1 2 0 をプラズマ C V D 法またはスパッタ法を用いて 1 0 ~ 1 5 0 n m の厚さでシリコンを含む絶縁膜で形成する。例えば、1 2 0 n m の厚さで酸化窒化シリコン膜を形成する。ゲート絶縁膜には、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。(図 2 (B))

【0064】

次に、ゲート電極を形成するために第 1 の導電層を成膜する。この第 1 の導電層は単層で形成しても良いが、必要に応じて二層あるいは三層といった積層構造としても良い。本実施例では、導電性の窒化物金属膜から成る導電層 (A) 1 2 1 と金属膜から成る導電層 (B) 1 2 2 とを積層させた。導電層 (B) 1 2 2 はタンタル (T a)、チタン (T i)、モリブデン (M o)、タングステン (W) から選ばれた元素、または前記元素を主成分とする合金か、前記元素を組み合わせた合金膜 (代表的には M o - W 合金膜、M o - T a 合金膜) で形成すれば良く、導電層 (A) 1 2 1 は窒化タンタル (T a N)、窒化タングステン (W N)、窒化チタン (T i N) 膜、窒化モリブデン (M o N) で形成する。また、導電層 (A) 1 2 1 は代替材料として、タングステンシリサイド、チタンシリサイド、モリブデンシリサイドを適用しても良い。導電層 (B) は低抵抗化を図るために含有する不純物濃度を低減させると良く、特にナトリウム濃度に関しては、0. 1 p p m 以下、酸素濃度に関しては 3 0 p p m 以下とすると良かった。例えば、タングステン (W) は酸素濃度を 3 0 p p m 以下とすることで $40 \mu \Omega \cdot \text{cm}$ 以下、好ましくは $20 \mu \Omega \cdot \text{cm}$ 以下の抵抗率を実現することができた。

【0065】

導電層 (A) 1 2 1 は 1 0 ~ 5 0 n m (好ましくは 2 0 ~ 3 0 n m) とし、導電層 (B) 1 2 2 は 2 0 0 ~ 4 0 0 n m (好ましくは 2 5 0 ~ 3 5 0 n m) とすれば良い。本実施例では、導電層 (A) 1 2 1 として、5 0 n m 厚の窒化タングステン (W N x) 膜を、導電層 (B) 1 2 2 として、3 5 0 n m 厚のタングステン (W) 膜を用いた。本実施例では、大気に触れることなく、連続的にスパッタ

法を用いて積層形成した。

【0066】

本実施例では、6N（99.9999%）のタングステンターゲットを用い、スパッタガスとしてはアルゴン（Ar）の単体ガスを用いた。また、基板温度を200℃とし、スパッタガスの圧力を1.5Paとすることにより膜の応力を、 $-5 \times 10^{10} \sim 5 \times 10^{10} \text{ dyn/cm}^2$ 、好ましくは $-1 \times 10^{10} \sim 1 \times 10^{10} \text{ dyn/cm}^2$ の範囲内に制御した。こうして、本願のタングステン膜のナトリウム（Na）濃度はGDMS分析で0.3ppm以下、好ましくは0.1ppm以下とすることができ、ゲート配線として用いてもTFET特性に影響を与えない範囲内にすることができた。また、本願のタングステン膜は熱処理を施しても低効率にほとんど変化がみられない。このように低抵抗で信頼性の高いゲート配線を用いればTFETの動作性能や信頼性を大幅に向上させることができた。

【0067】

尚、図示しないが、導電層（A）121の下に2～20nm程度の厚さでリン（P）をドーブしたシリコン膜を形成しておくことは有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、導電層（A）または導電層（B）が微量に含有するアルカリ金属元素がゲート絶縁膜120に拡散するのを防ぐことができる。（図2（C））

【0068】

次に、レジストマスク123～127を形成し、導電層（A）121と導電層（B）122とを一括でエッチングしてゲート電極128～131と容量配線132を形成する。ゲート電極128～131と容量配線132は、導電層（A）から成る128a～132aと、導電層（B）から成る128b～132bとが一体として形成されている。この時、駆動回路に形成するゲート電極129、130は不純物領域117、118の一部と、ゲート絶縁膜120を介して重なるように形成する。（図2（D））

【0069】

次いで、駆動回路のpチャネル型TFETのソース領域およびドレイン領域を形成するために、p型を付与する不純物元素を添加する工程を行う。ここでは、ゲ

ート電極 1 2 8 をマスクとして、自己整合的に不純物領域を形成する。このとき、 n チャネル型 T F T が形成される領域はレジストマスク 1 3 3 で被覆しておく。そして、ジボラン (B_2H_6) を用いたイオンドープ法で不純物領域 1 3 4 を形成した。この領域のボロン (B) 濃度は $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ となるようにする。本明細書中では、ここで形成された不純物領域 1 3 4 に含まれる p 型を付与する不純物元素の濃度を (p^+) と表す。(図 3 (A))

【0070】

次に、 n チャネル型 T F T において、ソース領域またはドレイン領域として機能する不純物領域の形成を行った。レジストのマスク 1 3 5 ~ 1 3 7 を形成し、 n 型を付与する不純物元素が添加して不純物領域 1 3 8 ~ 1 4 2 を形成した。これは、フォスフィン (PH_3) を用いたイオンドープ法で行い、この領域のリン (P) 濃度を $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ とした。本明細書中では、ここで形成された不純物領域 1 3 8 ~ 1 4 2 に含まれる n 型を付与する不純物元素の濃度を (n^+) と表す。(図 3 (B))

【0071】

不純物領域 1 3 8 ~ 1 4 2 には、既に前工程で添加されたリン (P) またはボロン (B) が含まれているが、それに比して十分に高い濃度でリン (P) が添加されるので、前工程で添加されたリン (P) またはボロン (B) の影響は考えなくても良い。また、不純物領域 1 3 8 に添加されたリン (P) 濃度は図 3 (A) で添加されたボロン (B) 濃度の $1/2 \sim 1/3$ なので p 型の導電性が確保され、T F T の特性に何ら影響を与えることはなかった。

【0072】

そして、画素回路の n チャネル型 T F T の L D D 領域を形成するための n 型を付与する不純物添加の工程を行った。ここではゲート電極 1 3 1 をマスクとして自己整合的に n 型を付与する不純物元素をイオンドープ法で添加した。添加するリン (P) の濃度は $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ であり、図 2 (A) および図 3 (A) と図 3 (B) で添加する不純物元素の濃度よりも低濃度で添加することで、実質的には不純物領域 1 4 3、1 4 4 のみが形成される。本明細書中では、この不純物領域 1 4 3、1 4 4 に含まれる n 型を付与する不純物元素の濃度

を (n^{--}) と表す。(図3 (C))

【0073】

その後、それぞれの濃度で添加された n 型または p 型を付与する不純物元素を活性化するために熱処理工程を行う。この工程はファーネスアニール法、レーザーアニール法、またはラピッドサーマルアニール法 (RTA法) で行うことができる。ここではファーネスアニール法で活性化工程を行った。熱処理は酸素濃度が 1 ppm 以下、好ましくは 0.1 ppm 以下の窒素雰囲気中で $400 \sim 800^\circ\text{C}$ 、代表的には $500 \sim 600^\circ\text{C}$ で行うものであり、本実施例では 550°C で4時間の熱処理を行った。また、基板101に石英基板のような耐熱性を有するものを使用した場合には、 800°C で1時間の熱処理としても良く、不純物元素の活性化と、該不純物元素が添加された不純物領域とチャネル形成領域との接合を良好に形成することができた。

【0074】

この熱処理において、ゲート電極128～131と容量配線132形成する金属膜128b～132bは、表面から $5 \sim 80 \text{ nm}$ の厚さで導電層 (C) 128c～132c が形成される。例えば、導電層 (B) 128b～132b がタングステン (W) の場合には窒化タングステン (WN) が形成され、タンタル (Ta) の場合には窒化タンタル (Ta₂N₅) を形成することができる。また、導電層 (C) 128c～132c は、窒素またはアンモニアなどを用いた窒素を含むプラズマ雰囲気中にゲート電極128～131を晒しても同様に形成することができ。さらに、 $3 \sim 100\%$ の水素を含む雰囲気中で、 $300 \sim 450^\circ\text{C}$ で $1 \sim 12$ 時間の熱処理を行い、島状半導体層を水素化する工程を行った。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化 (プラズマにより励起された水素を用いる) を行っても良い。

【0075】

島状半導体層が、非晶質シリコン膜から触媒元素を用いる結晶化の方法で作製された場合、島状半導体層中には微量の触媒元素が残留した。勿論、そのような状態でも TFT を完成させることが可能であるが、残留する触媒元素を少なくと

もチャンネル形成領域から除去する方がより好ましかった。この触媒元素を除去する手段の一つにリン (P) によるゲッタリング作用を利用する手段があった。ゲッタリングに必要なリン (P) の濃度は図 3 (B) で形成した不純物領域 (n^+) と同程度であり、ここで実施される活性化工程の熱処理により、 n チャンネル型 T F T および p チャンネル型 T F T のチャンネル形成領域から触媒元素をゲッタリングをすることができた。(図 3 (D))

【0076】

図 6 (A) および図 7 (A) はここまでの工程における T F T の上面図であり、A-A' 断面および C-C' 断面は図 3 (D) の A-A' および C-C' に対応している。また、B-B' 断面および D-D' 断面は図 8 (A) および図 9 (A) の断面図に対応している。図 6 および図 7 の上面図はゲート絶縁膜を省略しているが、ここまでの工程で少なくとも島状半導体層 1 0 4 ~ 1 0 7 上にゲート電極 1 2 8 ~ 1 3 1 と容量配線 1 3 2 が図に示すように形成されている。

【0077】

活性化および水素化の工程が終了したら、ゲート配線とする第 2 の導電膜を形成する。この第 2 の導電膜は低抵抗材料であるアルミニウム (A l) や銅 (C u) を主成分とする導電層 (D) と、にチタン (T i) やタンタル (T a)、タングステン (W)、モリブデン (M o) から成る導電層 (E) とで形成すると良い。本実施例では、チタン (T i) を 0. 1 ~ 2 重量% 含むアルミニウム (A l) 膜を導電層 (D) 1 4 5 とし、チタン (T i) 膜を導電層 (E) 1 4 6 として形成した。導電層 (D) 1 4 5 は 2 0 0 ~ 4 0 0 n m (好ましくは 2 5 0 ~ 3 5 0 n m) とすれば良く、導電層 (E) 1 4 6 は 5 0 ~ 2 0 0 (好ましくは 1 0 0 ~ 1 5 0 n m) で形成すれば良い。(図 4 (A))

【0078】

そして、ゲート電極に接続するゲート配線を形成するために導電層 (E) 1 4 6 と導電層 (D) 1 4 5 とをエッチング処理して、ゲート配線 1 4 7、1 4 8 と容量配線 1 4 9 を形成した。エッチング処理は最初に $S i C l_4$ と $C l_2$ と $B C l_3$ との混合ガスを用いたドライエッチング法で導電層 (E) の表面から導電層 (D) の途中まで除去し、その後リン酸系のエッチング溶液によるウェットエッチン

グで導電層 (D) を除去することにより、下地との選択加工性を保ってゲート配線を形成することができた。

【0079】

図 6 (B) および図 7 (B) はこの状態の上面図を示し、A-A' 断面および C-C' 断面は図 4 (B) の A-A' および C-C' に対応している。また、B-B' 断面および D-D' 断面は図 8 (B) および図 9 (B) の B-B' および D-D' に対応している。図 6 (B) および図 7 (B) において、ゲート配線 147、148 の一部は、ゲート電極 128、129、131 の一部と重なり電氣的に接触している。この様子は B-B' 断面および D-D' 断面に対応した図 8 (B) および図 9 (B) の断面構造図からも明らかで、第 1 の導電層を形成する導電層 (C) と第 2 の導電層を形成する導電層 (D) とが電氣的に接触している。

【0080】

第 1 の層間絶縁膜 150 は 500 ~ 1500 nm の厚さで酸化シリコン膜または窒化シリコン膜で形成され、その後、それぞれの島状半導体層に形成されたソース領域またはドレイン領域に達するコンタクトホールを形成し、ソース配線 151 ~ 154 と、ドレイン配線 155 ~ 158 を形成する。図示していないが、本実施例ではこの電極を、Ti 膜を 100 nm、Ti を含むアルミニウム膜 300 nm、Ti 膜 150 nm をスパッタ法で連続して形成した 3 層構造の積層膜とした。

【0081】

次に、パッシベーション膜 159 として、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜を 50 ~ 500 nm (代表的には 100 ~ 300 nm) の厚さで形成する。この状態で水素化処理を行うと TFT の特性向上に対して好ましい結果が得られた。例えば、3 ~ 100 % の水素を含む雰囲気中で、300 ~ 450 °C で 1 ~ 12 時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。なお、ここで後に画素電極とドレイン配線を接続するためのコンタクトホールを形成する位置において、パッシベーション膜 159 に開口部を形成しておいても良い。(図 4 (C))

【0082】

図 6 (C) および図 7 (C) のはこの状態の上面図を示し、A-A' 断面および C-C' 断面は図 4 (C) の A-A' および C-C' に対応している。また、B-B' 断面および D-D' 断面は図 8 (C) および図 9 (C) の B-B' および D-D' に対応している。図 6 (C) と図 7 (C) では第 1 の層間絶縁膜を省略して示すが、島状半導体層 1 0 4、1 0 5、1 0 7 の図示されていないソースおよびドレイン領域にソース配線 1 5 1、1 5 2、1 5 4 とドレイン配線 1 5 5、1 5 6、1 5 8 が第 1 の層間絶縁膜に形成されたコンタクトホールを介して接続している。

【0083】

その後、有機樹脂からなる第 2 の層間絶縁膜 1 6 0 を 1. 0 ~ 1. 5 μm の厚さに形成する。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB (ベンゾシクロブテン) 等を使用することができる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300℃で焼成して形成した。そして、第 2 の層間絶縁膜 1 6 0 にドレイン配線 1 5 8 に達するコンタクトホールを形成し、画素電極 1 6 1、1 6 2 を形成する。画素電極は、透過型液晶表示装置とする場合には透明導電膜を用いれば良く、反射型の液晶表示装置とする場合には金属膜を用いれば良い。本実施例では透過型の液晶表示装置するために、酸化インジウム・スズ (ITO) 膜を 100 nm の厚さにスパッタ法で形成した。(図 5)

【0084】

こうして同一基板上に、駆動回路の TFT と表示領域の画素 TFT とを有した基板を完成させることができた。駆動回路には p チャネル型 TFT 2 0 1、第 1 の n チャネル型 TFT 2 0 2、第 2 の n チャネル型 TFT 2 0 3、表示領域には画素 TFT 2 0 4、保持容量 2 0 5 が形成した。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【0085】

駆動回路の p チャネル型 TFT 2 0 1 には、島状半導体層 1 0 4 にチャネル形成領域 2 0 6、ソース領域 2 0 7 a、2 0 7 b、ドレイン領域 2 0 8 a、2 0 8 b を有している。第 1 の n チャネル型 TFT 2 0 2 には、島状半導体層 1 0 5 に

チャンネル形成領域 209、ゲート電極 129 と重なる LDD 領域 210 (以降、このような LDD 領域を L_{ov} と記す)、ソース領域 211、ドレイン領域 212 を有している。この L_{ov} 領域のチャンネル長方向の長さは $0.5 \sim 3.0 \mu m$ 、好ましくは $1.0 \sim 1.5 \mu m$ とした。第 2 の n チャンネル型 TFT 203 には、島状半導体層 106 にチャンネル形成領域 213、LDD 領域 214、215、ソース領域 216、ドレイン領域 217 を有している。この LDD 領域は L_{ov} 領域とゲート電極 130 と重ならない LDD 領域 (以降、このような LDD 領域を L_{off} と記す) とが形成され、この L_{off} 領域のチャンネル長方向の長さは $0.3 \sim 2.0 \mu m$ 、好ましくは $0.5 \sim 1.5 \mu m$ である。画素 TFT 204 には、島状半導体層 107 にチャンネル形成領域 218、219、 L_{off} 領域 220 \sim 223、ソースまたはドレイン領域 224 \sim 226 を有している。 L_{off} 領域のチャンネル長方向の長さは $0.5 \sim 3.0 \mu m$ 、好ましくは $1.5 \sim 2.5 \mu m$ である。さらに、容量配線 132、149 と、ゲート絶縁膜と同じ材料から成る絶縁膜と、画素 TFT 204 のドレイン領域 226 に接続し、n 型を付与する不純物元素が添加された半導体層 227 とから保持容量 205 が形成されている。図 5 では画素 TFT 204 をダブルゲート構造としたが、シングルゲート構造でも良いし、複数のゲート電極を設けたマルチゲート構造としても差し支えない。

【0086】

以上の様に本発明は、画素 TFT および駆動回路が要求する仕様に応じて各回路を構成する TFT の構造を最適化し、半導体装置の動作性能と信頼性を向上させることを可能とすることができる。さらにゲート電極を耐熱性を有する導電性材料で形成することにより LDD 領域やソース領域およびドレイン領域の活性化を容易とし、ゲート配線低抵抗材料で形成することにより、配線抵抗を十分低減できる。従って、表示領域 (画面サイズ) が 4 インチクラス以上の表示装置に適用することができる。

【0087】

[実施例 2]

図 16 はゲート電極とゲート配線の他の一例を示す図である。図 16 のゲート電極とゲート配線は実施例 1 で示す工程と同様にして形成されるものであり、島

状半導体層 901 とゲート絶縁膜 902 の上方に形成されている。

【0088】

図 16 (A) において、ゲート電極とする第 1 の導電層には、導電層 (A) 903 は窒化タンタル (Ta₂N₅)、窒化タングステン (WN)、窒化チタン (TiN) 膜、窒化モリブデン (MoN) で形成する。導電層 (B) 904 はタンタル (Ta)、チタン (Ti)、モリブデン (Mo)、タングステン (W) から選ばれた元素、または前記元素を主成分とする合金か、前記元素を組み合わせた合金膜で形成し、その表面に実施例 1 と同様にして導電層 (C) 905 を形成する。導電層 (A) 903 は 10～50 nm (好ましくは 20～30 nm) とし、導電層 (B) 904 は 200～400 nm (好ましくは 250～350 nm) とすれば良い。ゲート配線とする第 2 の導電層は低抵抗材料であるアルミニウム (Al) や銅 (Cu) を主成分とする導電層 (D) と、その上にチタン (Ti) やタンタル (Ta) などで形成する導電層 (E) とを積層形成する。アルミニウム (Al) や銅 (Cu) はストレスマイグレーションやエレクトロマイグレーションで容易に拡散するため、第 2 の導電層を被覆するように窒化シリコン膜 908 を 50～150 nm の厚さで形成することが必要である。

【0089】

図 16 (B) は実施例 1 と同様に作製されるゲート電極とゲート配線であり、ゲート電極の下にリン (P) をドーピングしたシリコン膜 909 を形成してある。リン (P) をドーピングしたシリコン膜 909 はゲート電極中に含まれる微量のアルカリ金属元素がゲート絶縁膜へ拡散することを防ぐ効果があり、TFT の信頼性を確保する目的で有用である。

【0090】

図 16 (C) は、ゲート電極を形成する第 1 の導電層にリン (P) をドーピングしたシリコン膜 910 で形成した例である。リン (P) をドーピングしたシリコン膜は他の導電性金属材料と比較して高抵抗材料であるが、ゲート配線を形成する第 2 の導電層をアルミニウム (Al) や銅 (Cu) で形成することにより、大面積の液晶表示装置にも適用することができる。ここでは、ゲート配線を、Ti 膜を 100 nm、Ti を含むアルミニウム (Al) 膜 300 nm、Ti 膜 150 nm で

形成した 3 層構造とし、アルミニウム (A 1) 膜とリン (P) をドーピングしたシリコン膜とを直接接触しないようにすることにより、耐熱性を持たせることができる。

【0 0 9 1】

[実施例 3]

図 1 5 は本発明の T F T の構造を説明するための図であり、半導体層のチャネル形成領域と、L D D 領域と、半導体層上のゲート絶縁膜と、ゲート絶縁膜上のゲート電極とを有する T F T において、ゲート電極と L D D 領域の位置関係を説明している。

【0 0 9 2】

図 1 5 (A) において、チャネル形成領域 2 0 9、L D D 領域 2 1 0、ドレイン領域 2 1 2 を有する半導体層と、その上のゲート絶縁膜 1 2 0 とゲート電極 1 2 9 が設けられた構成を示している。L D D 領域 2 1 0 はゲート絶縁膜 1 2 0 を介してゲート電極 1 2 9 と重なるように設けられた L o v となっている。L o v はドレイン近傍で発生する高電界を緩和する作用があり、ホットキャリアによる劣化を防ぐことができ、制御回路のシフトレジスタ回路、レベルシフト回路、バッファ回路などの n チャネル型 T F T に用いるのに適している。

【0 0 9 3】

図 1 5 (B) において、チャネル形成領域 2 1 3、L D D 領域 2 1 5 a、2 1 5 b、ドレイン領域 2 1 7 を有する半導体層と、半導体層の上にゲート絶縁膜 1 2 0 とゲート電極 1 3 0 が設けられた構成を示している。L D D 領域 2 1 5 a はゲート絶縁膜 1 2 0 を介してゲート電極 1 3 0 と重なるように設けられている。また、L D D 領域 2 1 5 b はゲート電極 1 3 0 と重ならないように設けられた L o f f となっている。L o f f はオフ電流値を低減させる作用があり、L o v と L o f f とを設けた構成にすることで、ホットキャリアによる劣化を防ぐと同時にオフ電流値を低減させることができ、制御回路のサンプリング回路の n チャネル型 T F T に用いるのに適している。

【0 0 9 4】

図 1 5 (C) は、半導体層に、チャネル形成領域 2 1 9、L D D 領域 2 2 3、

ドレイン領域 2 2 6 が設けられている。LDD 領域 2 2 3 は、ゲート電極 1 3 1 と重ならないように設けられた L off であり、オフ電流値を効果的に低減させることが可能となり、画素 T F T に用いるのに適している。画素 T F T の LDD 領域 2 2 3 における n 型を付与する不純物元素の濃度は、駆動回路の LDD 領域 2 1 0、2 1 5 の濃度よりも $1/2$ から $1/10$ にすることが望ましい。

【0 0 9 5】

[実施例 4]

本実施例では、アクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。図 1 1 に示すように、実施例 1 で作製した図 5 の状態のアクティブマトリクス基板に対し、配向膜 6 0 1 を形成する。通常液晶表示素子の配向膜にはポリイミド樹脂が多く用いられている。対向側の対向基板 6 0 2 には、遮光膜 6 0 3、透明導電膜 6 0 4 および配向膜 6 0 5 を形成した。配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようにした。そして、画素回路と、CMOS 回路が形成されたアクティブマトリクス基板と対向基板とを、公知のセル組み工程によってシール材やスペーサ（共に図示せず）などを介して貼りあわせる。その後、両基板の間に液晶材料 6 0 6 を注入し、封止剤（図示せず）によって完全に封止した。液晶材料には公知の液晶材料を用いれば良い。このようにして図 1 1 に示すアクティブマトリクス型液晶表示装置が完成した。

【0 0 9 6】

次にこのアクティブマトリクス型液晶表示装置の構成を、図 1 2 の斜視図および図 1 3 の上面図を用いて説明する。尚、図 1 2 と図 1 3 は、図 1 ～図 5 と図 1 1 の断面構造図と対応付けるため、共通の符号を用いている。また、図 1 3 で示す E - E' に沿った断面構造は、図 5 に示す画素回路の断面図に対応している。

【0 0 9 7】

図 1 2 においてアクティブマトリクス基板は、ガラス基板 1 0 1 上に形成された、表示領域 3 0 6 と、走査信号駆動回路 3 0 4 と、画像信号駆動回路 3 0 5 で構成される。表示領域には画素 T F T 2 0 4 が設けられ、周辺に設けられる駆動回路は CMOS 回路を基本として構成されている。走査信号駆動回路 3 0 4 と、

画像信号駆動回路 3 0 5 はそれぞれゲート配線 1 3 1 とソース配線 1 5 4 で画素 T F T 2 0 4 に接続している。また、F P C 7 3 1 が外部入力端子 7 3 4 に接続され、入力配線 3 0 2、3 0 3 でそれぞれの駆動回路に接続している。

【0 0 9 8】

図 1 3 は表示領域 3 0 6 のほぼ一画素分を示す上面図である。ゲート配線 1 4 8 は、図示されていないゲート絶縁膜を介してその下の半導体層 1 0 7 と交差している。図示はしていないが、半導体層には、ソース領域、ドレイン領域、 n^{++} 領域でなる L o f f 領域が形成されている。また、1 6 3 はソース配線 1 5 4 とソース領域 2 2 4 とのコンタクト部、1 6 4 はドレイン配線 1 5 8 とドレイン領域 2 2 6 とのコンタクト部、1 6 5 はドレイン配線 1 5 8 と画素電極 1 6 1 のコンタクト部である。保持容量 2 0 5 は、画素 T F T 2 0 4 のドレイン領域 2 2 6 から延在する半導体層 2 2 7 とゲート絶縁膜を介して容量配線 1 3 2、1 4 9 が重なる領域で形成されている。

【0 0 9 9】

なお、本実施例のアクティブマトリクス型液晶表示装置は、実施例 1 で説明した構造と照らし合わせて説明したが、実施例 2 の構成とも自由に組み合わせてアクティブマトリクス型液晶表示装置を作製することができる。

【0 1 0 0】

[実施例 5]

図 1 0 は液晶表示装置の入出力端子、表示領域、駆動回路の配置の一例を示す図である。表示領域 3 0 6 には m 本のゲート配線と n 本のソース配線がマトリクス状に交差している。例えば、画素密度が V G A の場合、4 8 0 本のゲート配線と 6 4 0 本のソース配線が形成され、X G A の場合には 7 6 8 本のゲート配線と 1 0 2 4 本のソース配線が形成される。表示領域の画面サイズは、1 3 インチクラスの場合対角線の長さは 3 4 0 m m となり、1 8 インチクラスの場合には 4 6 0 m m となる。このような液晶表示装置を実現するには、ゲート配線を実施例 1 および実施例 2 で示したような低抵抗材料で形成する必要がある。

【0 1 0 1】

表示領域 3 0 6 の周辺には走査信号駆動回路 3 0 4 と画像信号駆動回路 3 0 5

が設けられている。これらの駆動回路のゲート配線の長さも表示領域の画面サイズの大型化と共に必然的に長くなるので、大画面を実現するためには実施例 1 および実施例 2 で示したような低抵抗材料で形成することが好ましい。

【0102】

また、本発明は入力端子 301 から各駆動回路までを接続する入力配線 302、303 をゲート配線と同じ材料で形成することができ、配線抵抗の低抵抗化に寄与することができる。

【0103】

〔実施例 6〕

図 14 は実施例 1 または実施例 2 で示したアクティブマトリクス基板の回路構成の一例であり、直視型の表示装置の回路構成を示す図である。本実施例のアクティブマトリクス基板は、画像信号駆動回路 1001、走査信号駆動回路 (A) 1007、走査信号駆動回路 (B) 1011、プリチャージ回路 1012、画素回路 1006 を有している。尚、本明細書中において記した駆動回路とは、画像信号駆動回路 1001、走査信号駆動回路 (A) 1007 を含めた総称である。

【0104】

画像信号駆動回路 1001 は、シフトレジスタ回路 1002、レベルシフタ回路 1003、バッファ回路 1004、サンプリング回路 1005 を備えている。また、走査信号駆動回路 (A) 1007 は、シフトレジスタ回路 1008、レベルシフタ回路 1009、バッファ回路 1010 を備えている。走査信号駆動回路 (B) 1011 も同様な構成である。

【0105】

シフトレジスタ回路 1002、1008 は駆動電圧が 5～16V (代表的には 10V) であり、この回路を形成する CMOS 回路の n チャネル型 TFT は図 5 の 202 で示される構造が適している。また、レベルシフタ回路 1003、1009 やバッファ回路 1004、1010 は駆動電圧が 14～16V と高くなるが、シフトレジスタ回路と同様に、図 5 の n チャネル型 TFT 202 を含む CMOS 回路が適している。これらの回路において、ゲートをマルチゲート構造で形成すると耐圧が高まり、回路の信頼性を向上させる上で有効である。

【0106】

サンプリング回路1005は駆動電圧が14～16Vであるが、極性が交互に反転して駆動される上、オフ電流値を低減させる必要があるため、図5のnチャネル型TFT203を含むCMOS回路が適している。図5では、nチャネル型TFTしか表示はされていないが、実際のサンプリング回路においてはpチャネル型TFTも組み合わせて形成される。この時、pチャネル型TFTは同図201で示される構造で十分である。

【0107】

また、画素TFT204は駆動電圧が14～16Vであり、低消費電力化の観点からサンプリング回路よりもさらにオフ電流値を低減することが要求され、画素TFT204のようにゲート電極に対して重ならないように設けられたLDD（Loff）領域を有した構造とするのが望ましい。

【0108】

尚、本実施例の構成は、実施例1に示した工程に従ってTFTを作製することによって容易に実現することができる。本実施例では、表示領域と駆動回路の構成のみを示しているが、実施例1の工程に従えば、その他にも信号分割回路、分周波回路、D/Aコンバータ、 γ 補正回路、オペアンプ回路、さらにメモリ回路や演算処理回路などの信号処理回路、あるいは論理回路を同一基板上に形成することが可能である。このように、本発明は同一基板上に画素回路とその駆動回路とを含む半導体装置、例えば信号駆動回路および画素回路を具備した半導体装置を実現することができる。

【0109】

[実施例7]

図17に本発明を利用して絶縁表面上に形成された様々な配線構造の一例を示す。図17（A）には絶縁表面を有する膜（または基板）1700上にタングステンを主成分とする材料1701からなる単層構造の配線の断面図を示した。この配線は、ターゲットとしては純度が6Nのものをを用い、スパッタガスとしてはアルゴン（Ar）の単体ガスをを用いて形成した膜をパターニングして形成したものである。なお、基板温度を300℃以下とし、スパッタガスの圧力を1.0P

a ~ 3. 0 P a として応力を制御し、他の条件（スパッタパワー等）は適宜実施者が決定すればよい。

【0 1 1 0】

こうして得られる配線 1 7 0 1 は、配線材料中にアルゴンを含むものの、その他の不純物元素がほとんど含まれておらず、特にナトリウムの含有量は、0. 3 p p m 以下、好ましくは 0. 1 p p m 以下、且つ、酸素の含有量は 3 0 p p m 以下とすることができ、電気抵抗率は $4 0 \mu \Omega \cdot \text{cm}$ 以下、好ましくは $2 0 \mu \Omega \cdot \text{cm}$ 以下、代表的には、 $6 \mu \mu \Omega \cdot \text{cm} \sim 1 5 \mu \Omega \cdot \text{cm}$ とすることができる。また、膜の応力は、 $-5 \times 1 0^{10} \sim 5 \times 1 0^{10} \text{ dyn/cm}^2$ の範囲内に制御することができる。また、8 0 0 °C の熱処理を施しても電気抵抗率は変わらない。

【0 1 1 1】

また、図 1 7 (B) は、二層構造を示した。なお、窒化タングステン (W N x) を下層とし、タングステンを上層としている。なお、窒化タングステン膜 1 7 0 2 は 1 0 ~ 5 0 n m (好ましくは 1 0 ~ 3 0 n m) とし、タングステン膜 1 7 0 3 は 2 0 0 ~ 4 0 0 n m (好ましくは 2 5 0 ~ 3 5 0 n m) とすれば良い。本実施例では、大気に触れることなく、連続的にスパッタ法を用いて積層形成した。

【0 1 1 2】

また、図 1 7 (C) は、絶縁表面を有する膜（または基板）1 7 0 0 上に形成されたタングステンを主成分とする材料からなる配線 1 7 0 4 を絶縁膜 1 7 0 5 で覆った例である。絶縁膜 1 7 0 5 は窒化珪素膜、酸化珪素膜、酸化窒化珪素膜 SiO_xNy (但し、 $0 < x, y < 1$) またはそれらを組み合わせた積層膜で形成すれば良い。

【0 1 1 3】

また、図 1 7 (D) は、絶縁表面を有する膜（または基板）1 7 0 0 上に形成されたタングステンを主成分とする材料からなる配線 1 7 0 6 の表面を窒化タングステン膜 1 7 0 7 で覆った例である。なお、図 1 7 (A) の状態の配線にプラズマ窒化等の窒化処理を施すと図 1 7 (D) の構造が得られる。

【0 1 1 4】

また、図 17 (E) は、絶縁表面を有する膜（または基板）1700 上に形成されたタングステンを主成分とする材料からなる配線 1709 を窒化タングステン膜 1710、1708 で囲った例である。この構造は実施例 3 に示したものと形状は同一である。なお、図 17 (B) の状態の配線にプラズマ窒化等の窒化処理を施すと図 17 (E) の構造が得られる。

【0115】

また、図 17 (F) は、図 17 (E) の状態を形成した後、絶縁膜 1711 で覆った例である。絶縁膜 1711 は窒化珪素膜、酸化珪素膜、酸化窒化珪素膜またはそれらを組み合わせた積層膜で形成すれば良い。

【0116】

このように、本発明は様々な配線構造に適用することができる。本実施例の構成は、実施例 1～6 に示したいずれの構成とも自由に組み合わせることが可能である。

【0117】

〔実施例 8〕

本実施例は、対角 1 インチ以下のアクティブマトリクス型液晶表示装置において、ゲート配線とその上層配線とが重なった領域に第 2 の層間絶縁膜を設け、寄生容量を低減させたアクティブマトリクス基板の構造を図 18～図 20 を用いて示す。なお、基本的な構造は、本出願人による特願平 11-154432 号出願に記載された構造と同一である。

【0118】

図 18 に示すように、本実施例では、開口率を向上させるため、画素 TFT を構成する n チャネル型 TFT 1804 のチャネル形成領域と重なるゲート電極の一部または全部と第 2 配線（ソース線またはドレイン線）1854、1857 とを重ねる構成とする。また、ゲート電極と第 2 配線 1854、1857 の間には第 1 層間絶縁膜 1849 及び第 2 層間絶縁膜 1850c を設け、寄生容量を低減する。なお、ゲート電極と第 2 配線が重なる領域のみに選択的に第 2 層間絶縁膜 1850c が設けられている。

【0119】

また、図 1 8 において、1 8 5 9 は第 3 層間絶縁膜、1 8 6 0 は遮光膜、1 8 6 1 は、遮蔽膜 1 8 6 0 の表面に陽極酸化法またはプラズマ酸化法（本実施例では陽極酸化法）により形成した酸化物である。また、1 8 6 2 は酸化インジウム・スズ（ITO）膜からなる画素電極である。なお、画素電極 1 8 6 3 は隣接する別の画素の画素電極である。

【0 1 2 0】

また、画素電極 1 8 6 2 と遮蔽膜 1 8 6 0 とが陽極酸化物 1 8 6 1 を介して重なり、保持容量（キャパシタンス・ストレージ）1 8 6 4 を構成する。なお、遮蔽膜 1 8 6 0 をフローティング状態（電氣的に孤立した状態）か固定電位、好ましくはコモン電位（データとして送られる画像信号の中間電位）に設定しておくことが望ましい。

【0 1 2 1】

なお、図 1 9（B）は第 2 配線（ソース線またはドレイン線）1 8 5 4、1 8 5 7 形成直後の表示領域の上面図の一部を共通の符号を用いて示した。また、図 1 9（A）は、ゲート配線形成直後の上面図である。

【0 1 2 2】

また、p チャネル型 TFT 1 8 0 1、n チャネル型 TFT 1 8 0 2、n チャネル型 TFT 1 8 0 3 等を備えた駆動回路においては、絶縁膜 1 8 1 5 上に設けられたゲート配線と第 2 配線 1 8 5 1 とが交差して重なっている領域に第 2 層間絶縁膜 1 8 5 0 b を選択的に形成すればよい。なお、図 2 0（B）に図 1 8 に対応する駆動回路の上面図を共通の符号を用いて示した。また、図 2 0（A）は、ゲート配線形成直後の上面図である。

【0 1 2 3】

なお、図 1 8 に示される TFT 1 8 0 1 ～ 1 8 0 4 のゲート配線は、窒化タングステン膜 1 7 0 2 タングステン膜 1 7 0 3 の積層構造とした。このゲート配線は、実施の形態に示したスパッタ法を用いたため、配線中のナトリウムの含有量が、0. 3 p p m 以下、好ましくは 0. 1 p p m 以下、且つ、酸素の含有量は 3 0 p p m 以下とすることができ、電気抵抗率は $6 \mu \sim 15 \mu \Omega \cdot \text{cm}$ とすることができた。また、膜の応力は、 $-1 \times 10^{10} \sim 1 \times 10^{10} \text{ dyn/cm}^2$ の範囲

内に制御することができた。

【0 1 2 4】

このように、実施の形態に示したスパッタ法を用いることによって、低抵抗で信頼性の高い配線を得ることができ、T F Tの動作性能や信頼性を大幅に向上させることができた。

【0 1 2 5】

[実施例 9]

本実施例では、本発明をシリコン基板上に作製した反射型液晶表示装置に適用した場合について説明する。本実施例は、実施例 1 において、結晶質シリコン膜でなる活性層の代わりに、シリコン基板（シリコンウェハ）に直接的に n 型または p 型を付与する不純物元素を添加し、T F T 構造を実現すれば良い。また、反射型であるので、画素電極として反射率の高い金属膜（例えばアルミニウム、銀、またはこれらの合金（A l - A g 合金）等を用いれば良い。

【0 1 2 6】

なお、本実施例の構成は、実施例 1 ～ 8 のいずれの構成とも自由に組み合わせることが可能である。

【0 1 2 7】

[実施例 1 0]

本発明は従来の M O S F E T 上に層間絶縁膜を形成し、その上に T F T を形成する際に用いることも可能である。即ち、三次元構造の半導体装置を実現することも可能である。また、基板として S I M O X、S m a r t - C u t（SOITEC 社の登録商標）、E L T R A N（キャノン株式会社の登録商標）などの S O I 基板を用いることも可能である。

【0 1 2 8】

なお、本実施例の構成は、実施例 1 ～ 9 のいずれの構成とも自由に組み合わせることが可能である。

【0 1 2 9】

[実施例 1 1]

本発明はアクティブマトリクス型 E L ディスプレイに適用することも可能であ

る。その例を図 2 1 に示す。

【0 1 3 0】

図 2 1 はアクティブマトリクス型 E L ディスプレイの回路図である。1 1 は表示領域を表しており、その周辺には X 方向駆動回路 1 2、Y 方向駆動回路 1 3 が設けられている。また、表示領域 1 1 の各画素は、スイッチ用 T F T 1 4、保持容量 1 5、電流制御用 T F T 1 6、有機 E L 素子 1 7 を有し、スイッチ用 T F T 1 4 に X 方向信号線 1 8 a (または 8 8 b)、Y 方向信号線 1 9 a (または 1 9 b、1 9 c) が接続される。また、電流制御用 T F T 1 6 には、電源線 2 0 a、2 0 b が接続される。

【0 1 3 1】

本実施例のアクティブマトリクス型 E L ディスプレイでは、X 方向駆動回路 1 2、Y 方向駆動回路 1 3 に用いられる T F T を図 5 の p チャネル型 T F T 2 0 1、n チャネル型 T F T 2 0 2 または 2 0 3 を組み合わせて形成する。また、スイッチ用 T F T 1 4 や電流制御用 T F T 1 6 の T F T を図 5 の n チャネル型 T F T 2 0 4 で形成する。

【0 1 3 2】

なお、本実施例の構成は、実施例 1 ～ 1 0 のいずれの構成とも自由に組み合わせることが可能である。

【0 1 3 3】

[実施例 1 2]

本発明によって作製された液晶表示装置は様々な液晶材料を用いることが可能である。そのような材料として、T N 液晶、P D L C (ポリマー分散型液晶)、F L C (強誘電性液晶)、A F L C (反強誘性電液晶)、または F L C と A F L C の混合物が挙げられる。

【0 1 3 4】

例えば、「H.Furue et al.;Charakteristics and Drivng Scheme of Polymer-Stabilized Monostable FLCD Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability,SID,1998」、「T.Yoshida et al.;A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angl

e with Fast Response Time, 841, SID97DIGEST, 1997」、または米国特許第5,594, 569号に開示された材料を用いることができる。

【0 1 3 5】

特に、しきい値なし（無しきい値）の反強誘電性液晶（Thresholdless Antiferroelectric LCD: TL-AFLCと略記する）を使うと、液晶の動作電圧を±2.5 V程度に低減しうるため電源電圧として5～8 V程度で済む場合がある。即ち、ドライバー回路と画素回路を同じ電源電圧で動作させることが可能となり、液晶表示装置全体の低消費電力化を図ることができる。

【0 1 3 6】

また、無しきい値反強誘電性液晶は、V字型の電気光学応答特性を示すものがあり、その駆動電圧が約±2.5 V程度（セル厚約1 μm～2 μm）のものも見出されている。

【0 1 3 7】

ここで、V字型の電気光学応答を示す無しきい値反強誘電性混合液晶の印加電圧に対する光透過率の特性を図22に示す。図22に示すグラフの縦軸は透過率（任意単位）、横軸は印加電圧である。なお、液晶パネルにおける入射側の偏光板の透過軸は、液晶パネルのラビング方向にほぼ一致する無しきい値反強誘電性混合液晶のスメクティック層の法線方向とほぼ平行に設定されている。また、出射側の偏光板の透過軸は、入射側の偏光板の透過軸に対してほぼ直角（クロスニコル）に設定されている。

【0 1 3 8】

また、強誘電性液晶や反強誘電性液晶はTN液晶に比べて応答速度が速いという利点をもつ。上記実施例で用いるような結晶質TFEは非常に動作速度の速いTFEを実現しうるため、強誘電性液晶や反強誘電性液晶の応答速度の速さを十分に生かした画像応答速度の速い液晶表示装置を実現することが可能である。

【0 1 3 9】

なお、本実施例の液晶表示装置をパーソナルコンピュータ等の電子機器の表示ディスプレイとして用いることが有効であることは言うまでもない。

【0 1 4 0】

また、本実施例の構成は、実施例 1 ～ 1 0 のいずれの構成とも自由に組み合わせることが可能である。

【0 1 4 1】

[実施例 1 3]

本発明を実施して形成された T F T は様々な電気光学装置に用いることができる。即ち、それら電気光学装置を表示媒体として組み込んだ電子機器全てに本発明を実施できる。

【0 1 4 2】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、ウェアラブルディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図 2 3 に示す。

【0 1 4 3】

図 2 3（A）はパーソナルコンピュータであり、本体 2 0 0 1、画像入力部 2 0 0 2、表示装置 2 0 0 3、キーボード 2 0 0 4 で構成される。本願発明を画像入力部 2 0 0 2、表示装置 2 0 0 3 やその他の信号駆動回路に適用することができる。

【0 1 4 4】

図 2 3（B）はビデオカメラであり、本体 2 1 0 1、表示装置 2 1 0 2、音声入力部 2 1 0 3、操作スイッチ 2 1 0 4、バッテリー 2 1 0 5、受像部 2 1 0 6 で構成される。本願発明を表示装置 2 1 0 2、音声入力部 2 1 0 3 やその他の信号駆動回路に適用することができる。

【0 1 4 5】

図 2 3（C）はモバイルコンピュータ（モービルコンピュータ）であり、本体 2 2 0 1、カメラ部 2 2 0 2、受像部 2 2 0 3、操作スイッチ 2 2 0 4、表示装置 2 2 0 5 で構成される。本願発明は表示装置 2 2 0 5 やその他の信号駆動回路に適用できる。

【0 1 4 6】

図 2 3 (D) はゴーグル型ディスプレイであり、本体 2 3 0 1、表示装置 2 3 0 2、アーム部 2 3 0 3 で構成される。本発明は表示装置 2 3 0 2 やその他の信号駆動回路に適用することができる。

【0 1 4 7】

図 2 3 (E) はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体 2 4 0 1、表示装置 2 4 0 2、スピーカ部 2 4 0 3、記録媒体 2 4 0 4、操作スイッチ 2 4 0 5 で構成される。なお、この装置は記録媒体として DVD (Digital Versatile Disc)、CD 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示装置 2 4 0 2 やその他の信号駆動回路に適用することができる。

【0 1 4 8】

図 2 3 (F) はデジタルカメラであり、本体 2 5 0 1、表示装置 2 5 0 2、接眼部 2 5 0 3、操作スイッチ 2 5 0 4、受像部（図示しない）で構成される。本願発明を表示装置 2 5 0 2 やその他の信号駆動回路に適用することができる。

【0 1 4 9】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 1 ～ 1 2 のどのような組み合わせからなる構成を用いても実現することができる。

【0 1 5 0】

[実施例 1 4]

本発明を実施して形成された T F T は様々な電気光学装置に用いることができる。即ち、それら電気光学装置を表示媒体として組み込んだ電子機器全てに本発明を実施できる。

【0 1 5 1】

その様な電子機器としては、プロジェクター（リア型またはフロント型）などが挙げられる。それらの一例を図 2 4 に示す。

【0 1 5 2】

図 2 4 (A) はフロント型プロジェクターであり、表示装置 2 6 0 1、スクリーン 2 6 0 2 で構成される。本発明は表示装置やその他の信号駆動回路に適用す

ることができる。

【0153】

図24(B)はリア型プロジェクターであり、本体2701、表示装置2702、ミラー2703、スクリーン2704で構成される。本発明は表示装置やその他の信号駆動回路に適用することができる。

【0154】

なお、図24(C)は、図24(A)及び図24(B)中における表示装置2601、2702の構造の一例を示した図である。表示装置2601、2702は、光源光学系2801、ミラー2802、2804～2806、ダイクロイックミラー2803、プリズム2807、液晶表示装置2808、位相差板2809、投射光学系2810で構成される。投射光学系2810は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図24(C)中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

【0155】

また、図24(D)は、図24(C)中における光源光学系2801の構造の一例を示した図である。本実施例では、光源光学系2801は、リフレクター2811、光源2812、2813、2814、偏光変換素子2815、集光レンズ2816で構成される。なお、図24(D)に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けてもよい。

【0156】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1～8及び実施例12のどのような組み合わせからなる構成を用いても実現することができる。

【0157】

【発明の効果】

本願発明を用いることで配線に含まれるナトリウムが 0.03 ppm 以下、好ましくは 0.01 ppm 以下であり、且つ、低い電気抵抗率（ $40 \mu\Omega \cdot \text{cm}$ 以下）を有し、応力が -5×10^{10} 以上、 $5 \times 10^{10} \text{ dyn/cm}^2$ 以下に制御された配線を形成することができる。

【0158】

また、本発明の配線は、 800°C 程度の熱処理を施しても低い電気抵抗率（ $40 \mu\Omega \cdot \text{cm}$ 以下）を維持することができる。

【0159】

加えて、タングステンを主成分とする配線の表面に窒化タングステンを形成することによって、低抵抗で信頼性の高い配線を得ることができ、半導体装置（ここでは具体的に電気光学装置）の動作性能や信頼性を大幅に向上させることができる。

【図面の簡単な説明】

【図1】 画素TFT、保持容量、駆動回路のTFTの作製工程を示す断面図。

【図2】 画素TFT、保持容量、駆動回路のTFTの作製工程を示す断面図。

【図3】 画素TFT、保持容量、駆動回路のTFTの作製工程を示す断面図。

【図4】 画素TFT、保持容量、駆動回路のTFTの作製工程を示す断面図。

【図5】 画素TFT、保持容量、駆動回路のTFTの断面図。

【図6】 画素TFT、保持容量、駆動回路のTFTの作製工程を示す上面図。

【図7】 画素TFT、保持容量、駆動回路のTFTの作製工程を示す上面図。

【図8】 駆動回路のTFTの作製工程を示す上面図。

【図9】 画素TFTの作製工程を示す上面図。

【図10】 液晶表示装置の入出力端子、配線回路配置を示す上面図。

【図11】 液晶表示装置の構造を示す断面図。

【図12】 液晶表示装置の構造を示す斜視図。

【図13】 表示領域の画素を示す上面図

【図14】 液晶表示装置の回路ブロック図

【図15】 ゲート電極とLDD領域の位置関係を示す図。

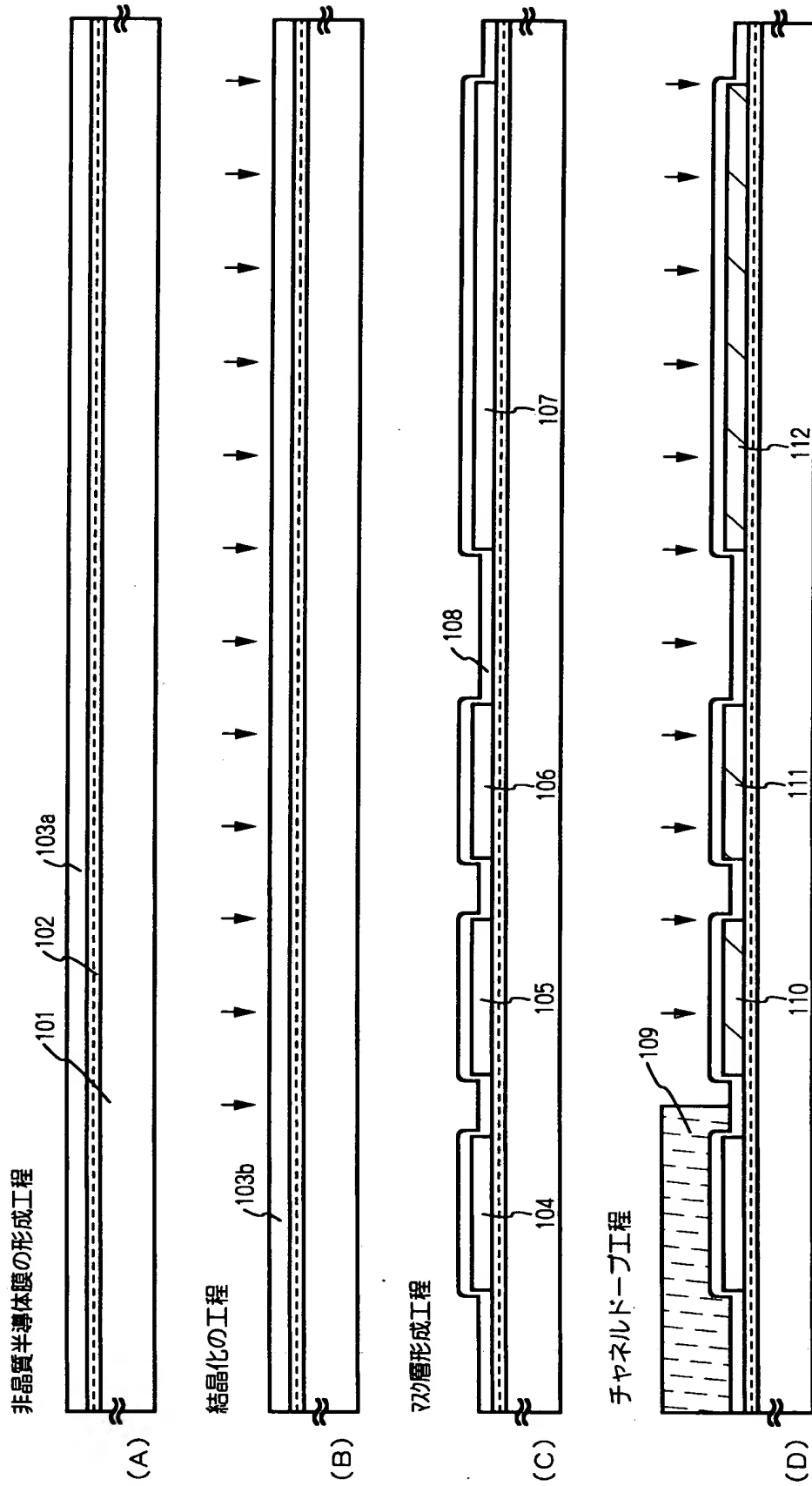
【図16】 ゲート電極とゲート配線の接続を示す図。

- 【図 1 7】 配線構造を示す断面図。
- 【図 1 8】 画素 T F T、保持容量、駆動回路の T F T の断面図。
- 【図 1 9】 画素 T F T の上面図の一部。
- 【図 2 0】 駆動回路の T F T の上面図。
- 【図 2 1】 アクティブマトリクス型 E L 表示装置の構成を示す図。
- 【図 2 2】 無しきい値反強誘電性混合液晶の印加電圧に対する光透過率の特性を示す図。
- 【図 2 3】 電子機器の一例を示す図。
- 【図 2 4】 電子機器の一例を示す図。
- 【図 2 5】 G D M S の分析結果を示す図。
- 【図 2 6】 スパッタ圧と応力の関係を示す図。
- 【図 2 7】 スパッタ圧と電気抵抗率の関係を示す図。
- 【図 2 8】 引張応力と圧縮応力の説明図。
- 【図 2 9】 コンタクト抵抗を測定するためのコンタクトチェーンを示す図。

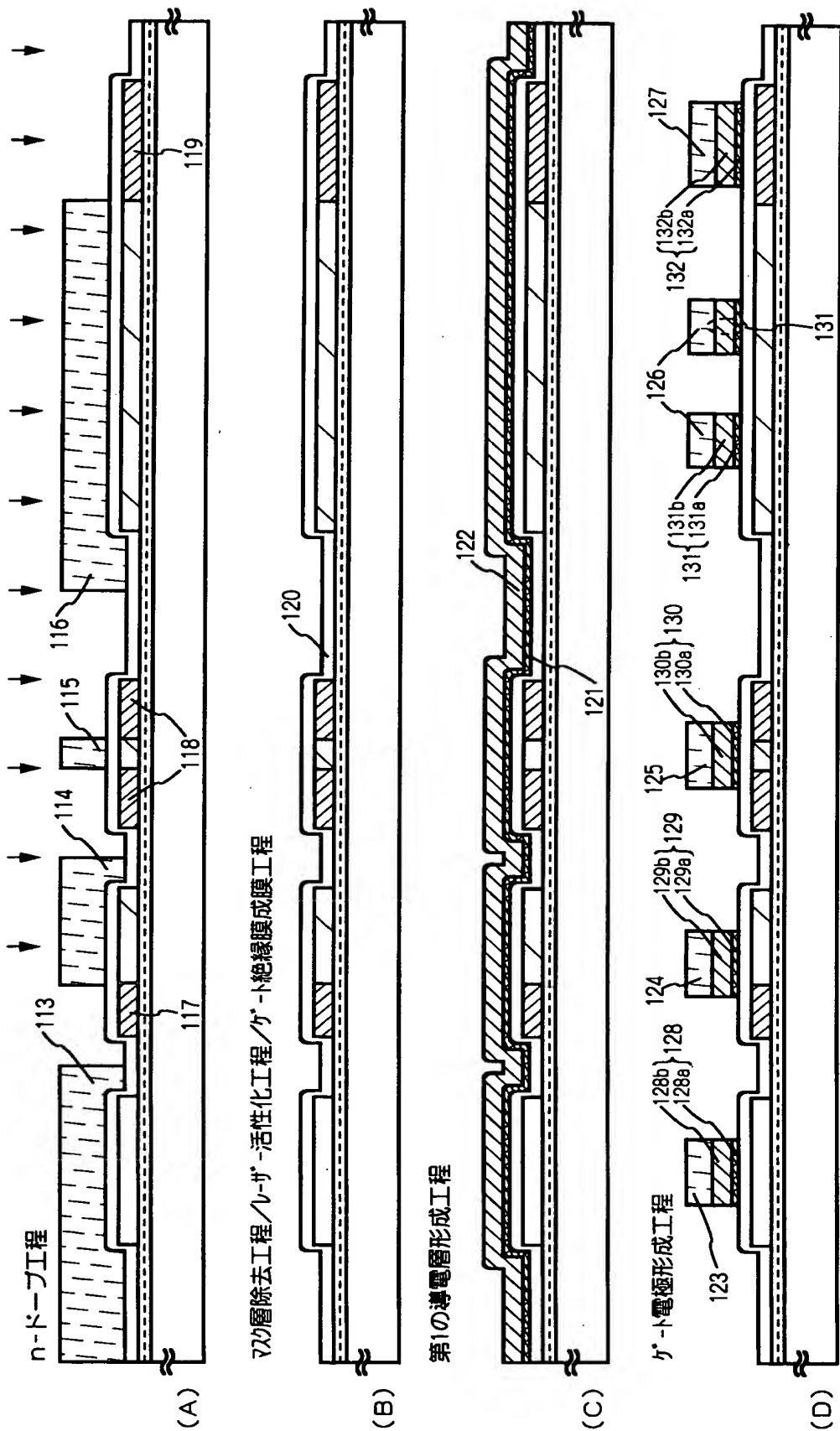
【書類名】

図面

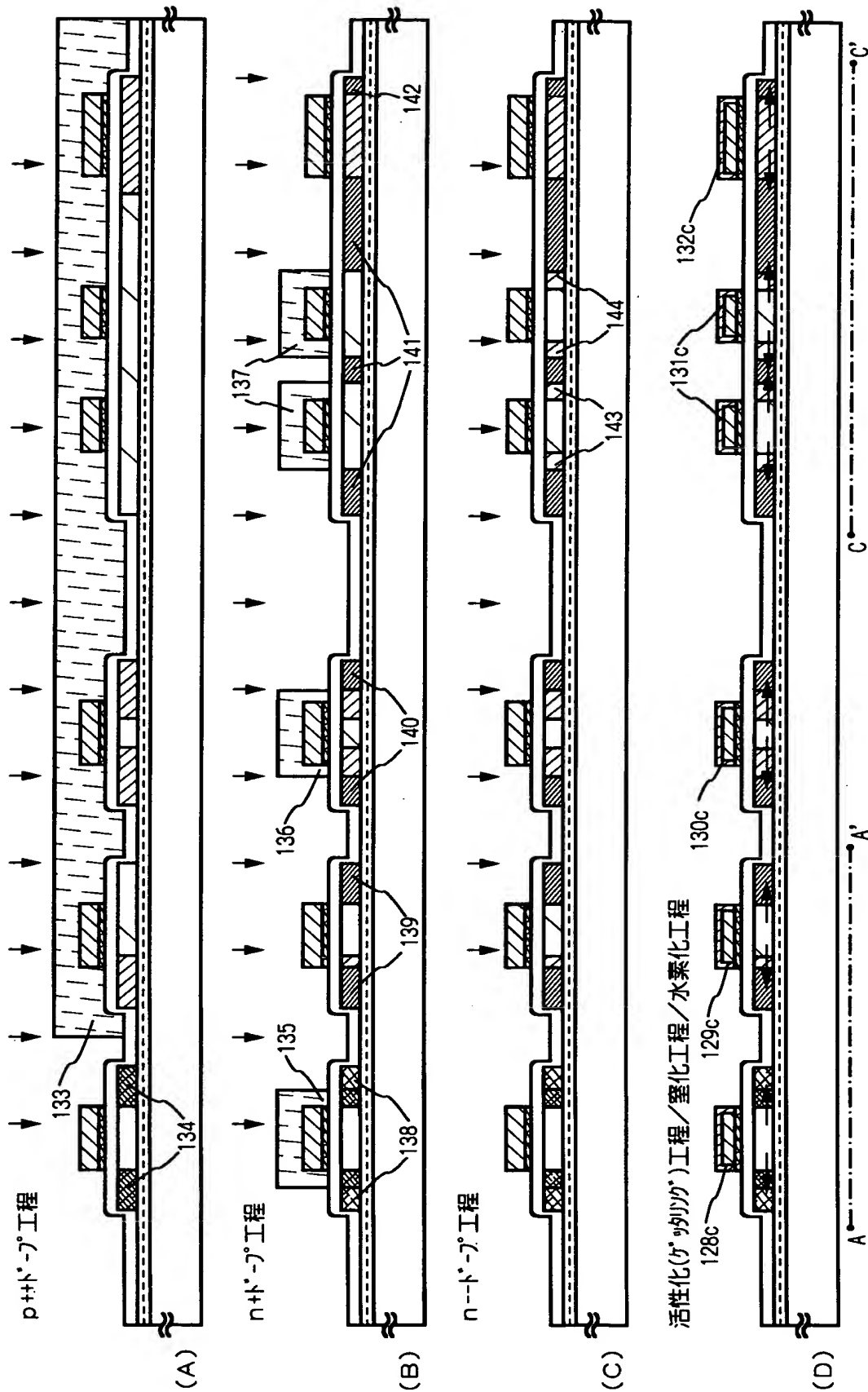
【図 1】



【図 2】

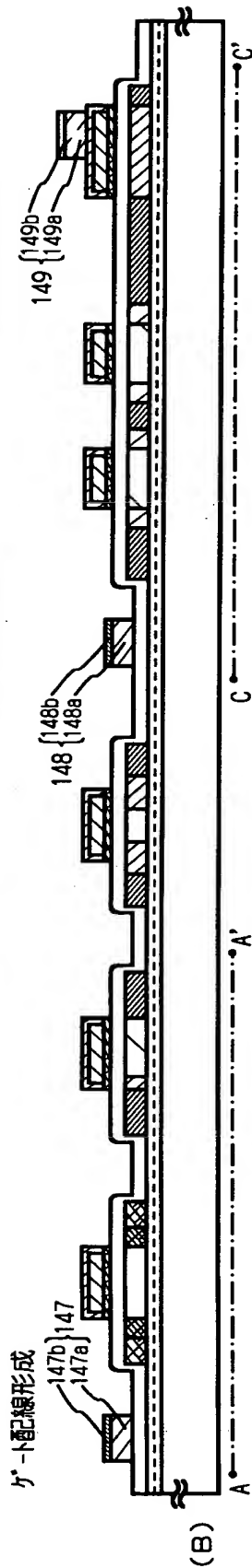
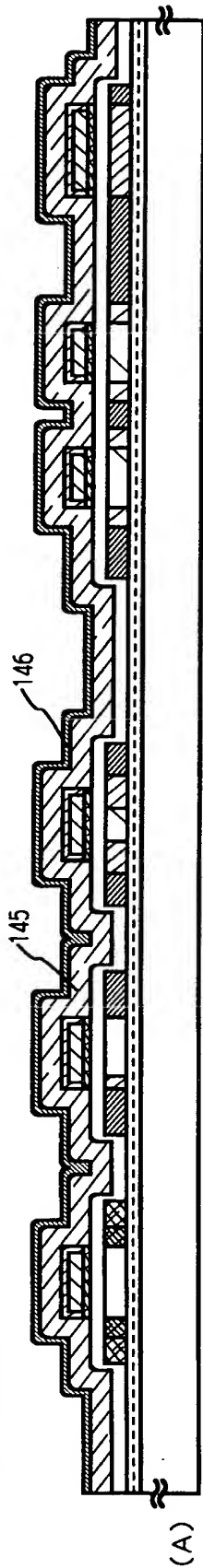


【図 3】

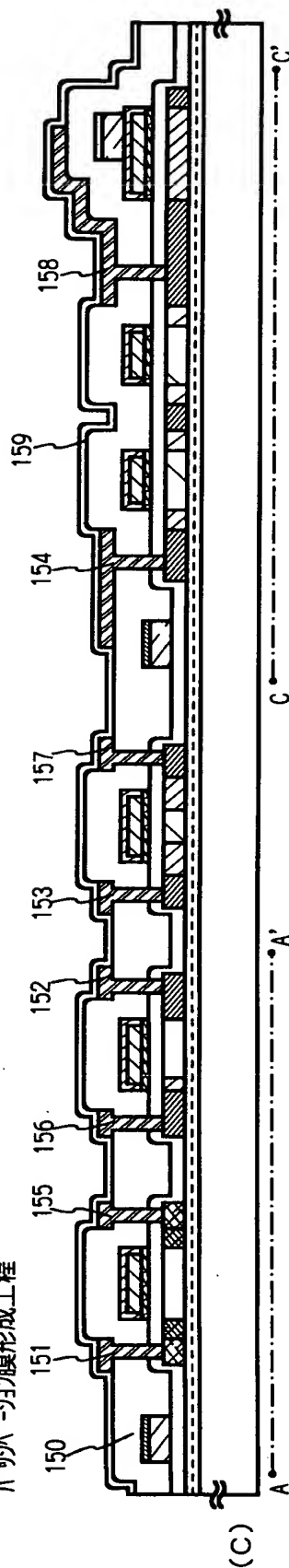


【図 4】

第2の導電層形成工程



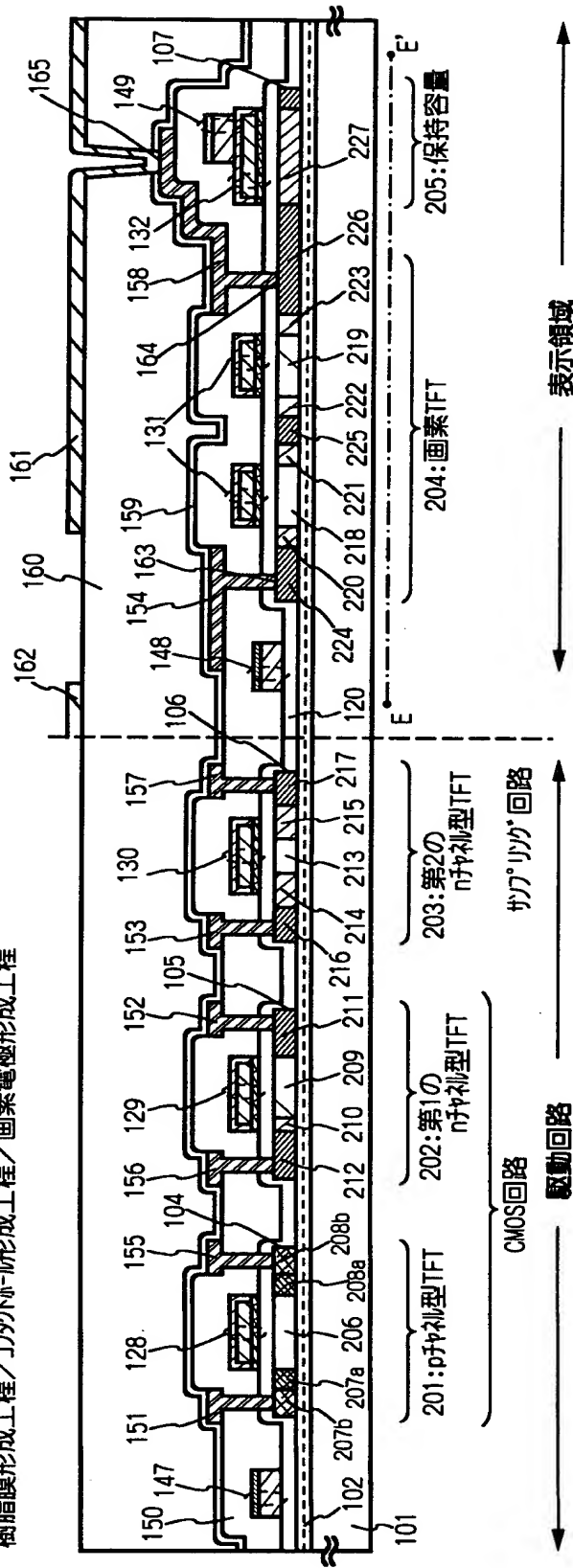
層間膜形成工程／リソリ形成工程／配線形成工程
ハッパ - リソリ形成工程



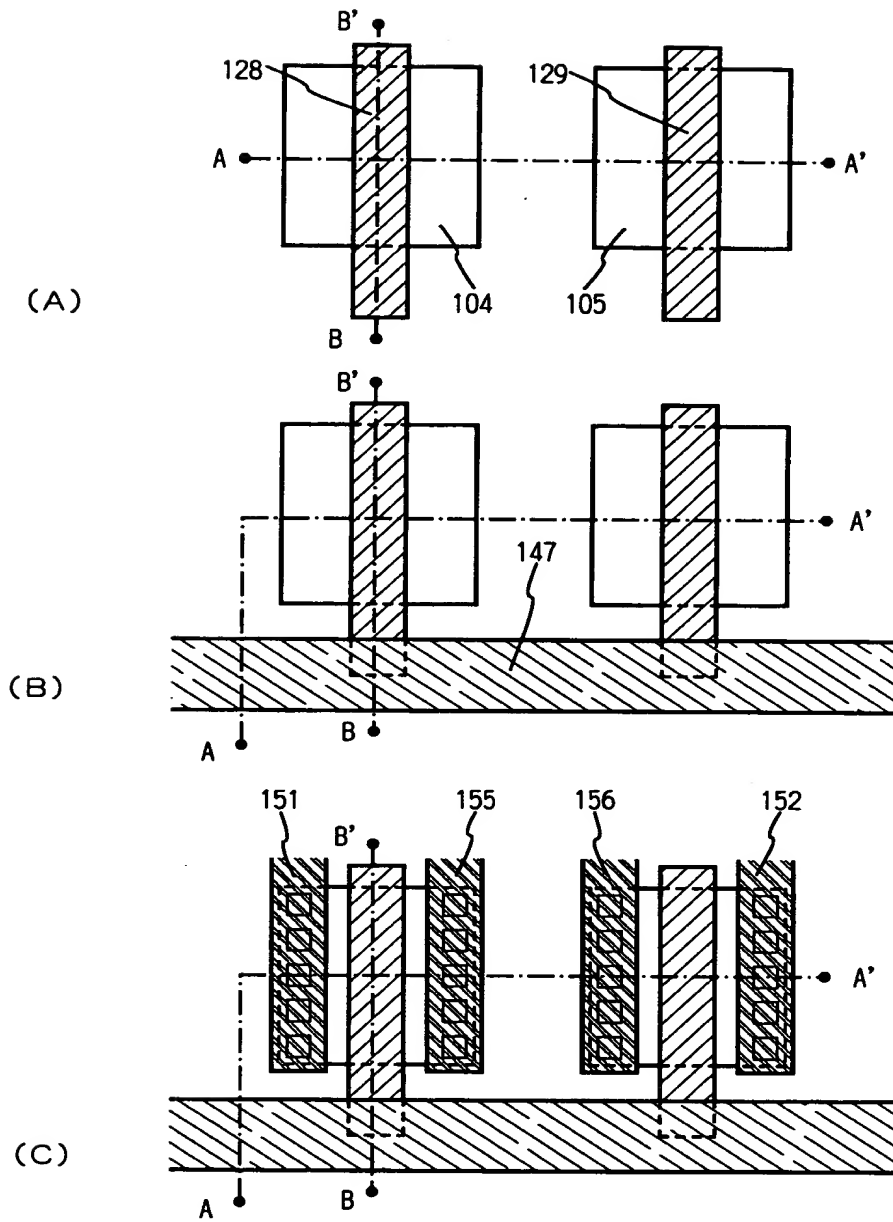
●
特平 1 1 - 1 8 3 2 5 8

【図 5】

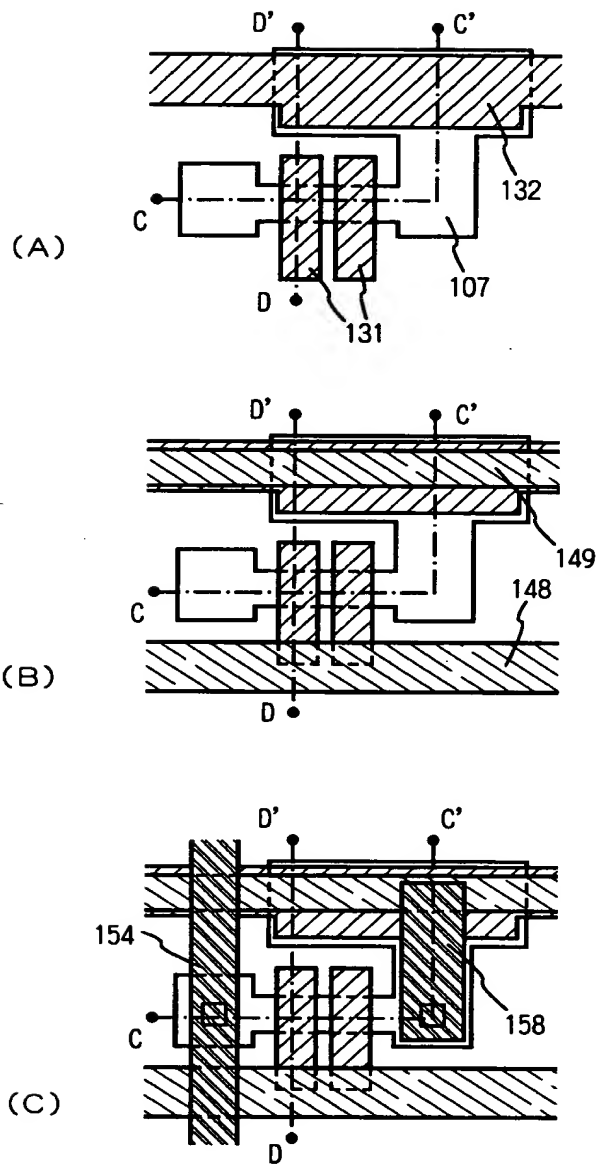
樹脂膜形成工程／コンタクト形成工程／画素電極形成工程



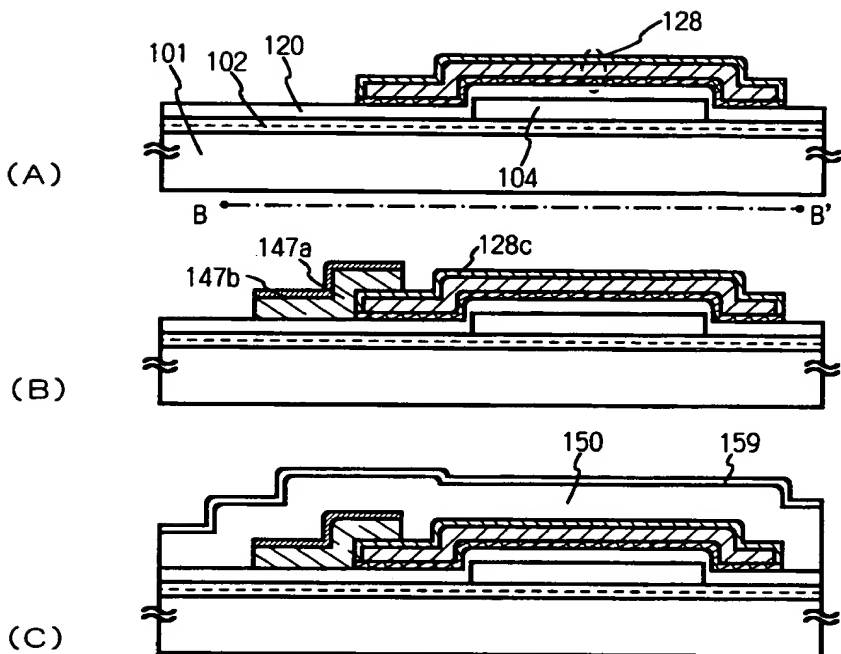
【図 6】



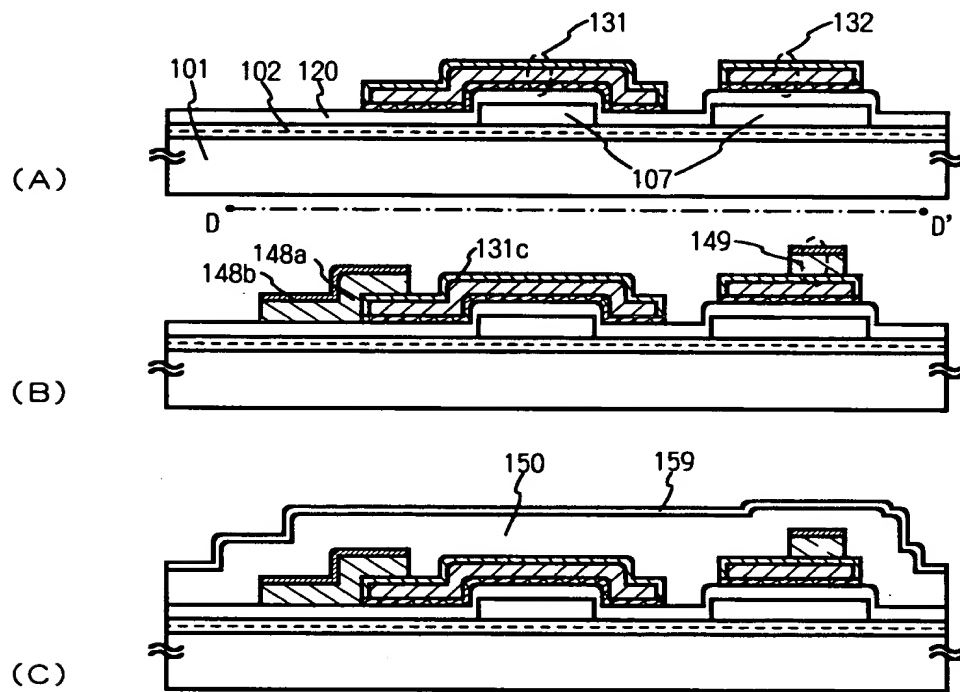
【図 7】



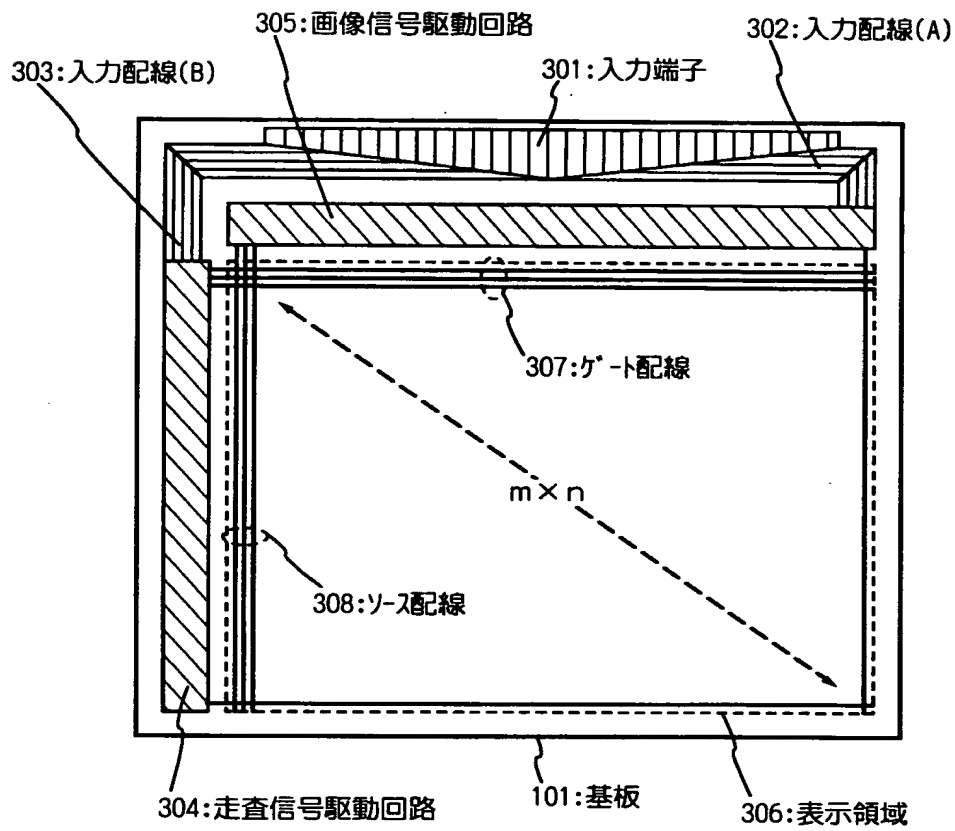
【図 8】



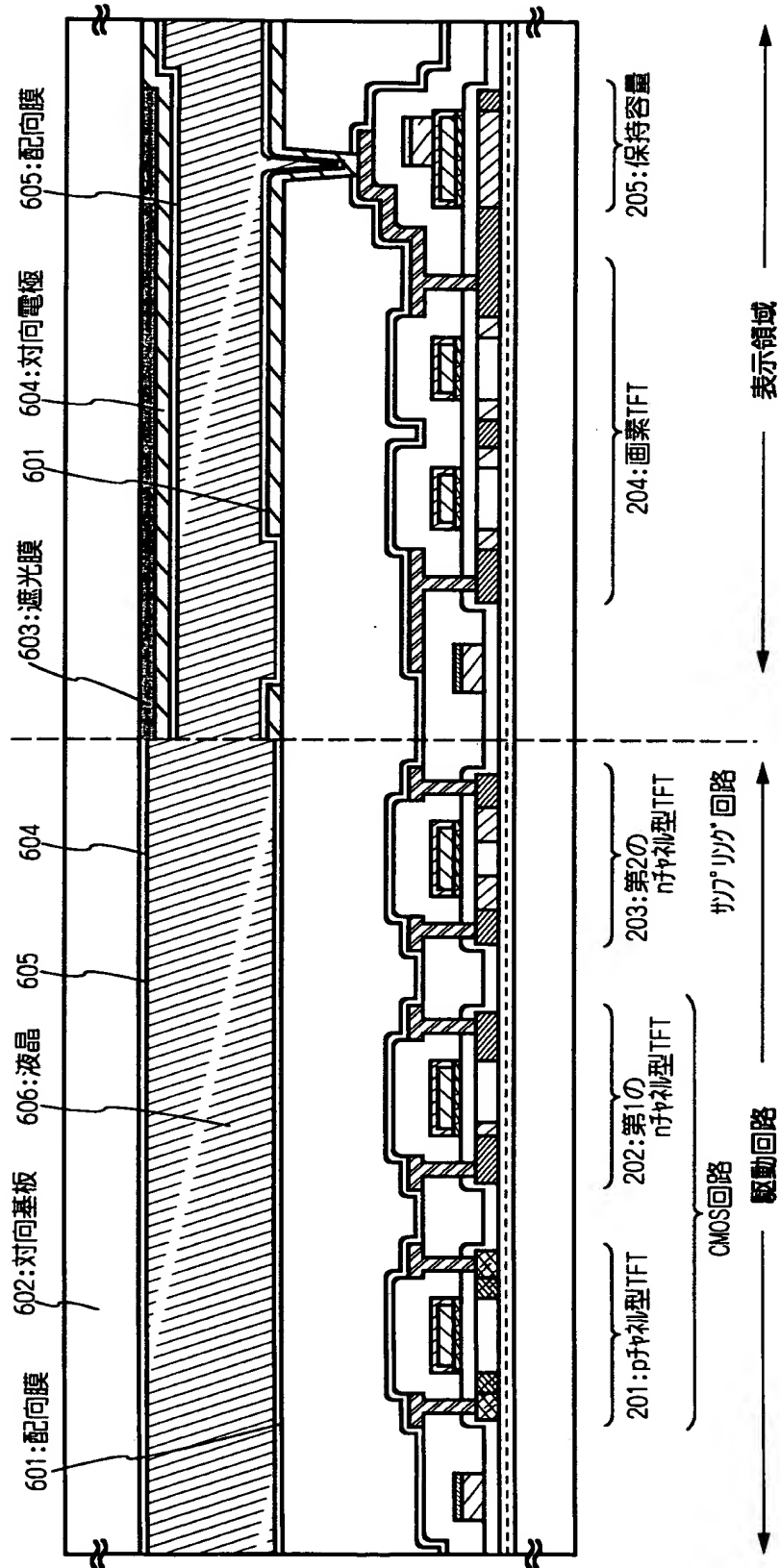
【図 9】



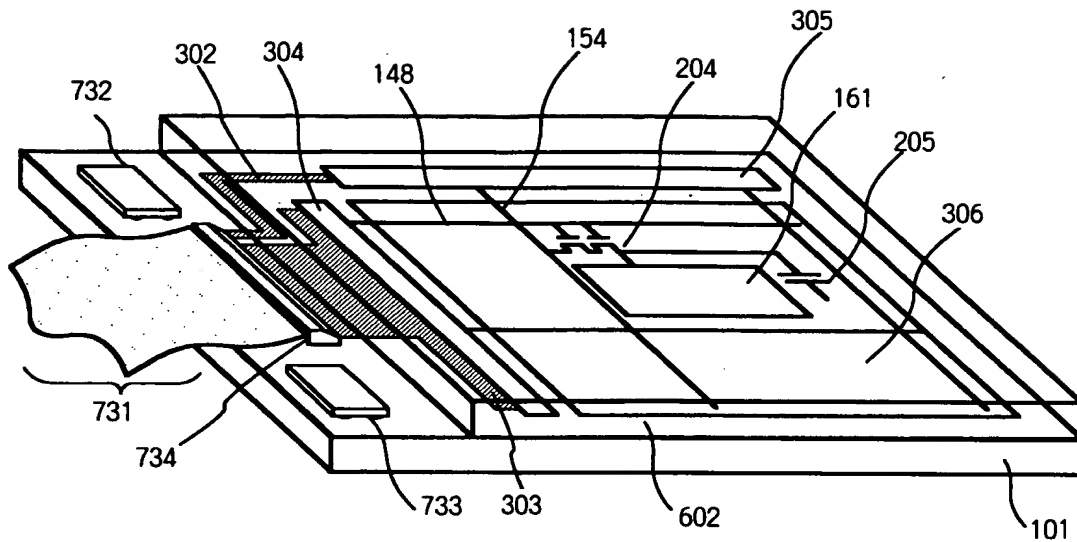
【図 1 0】



【図 1 1】

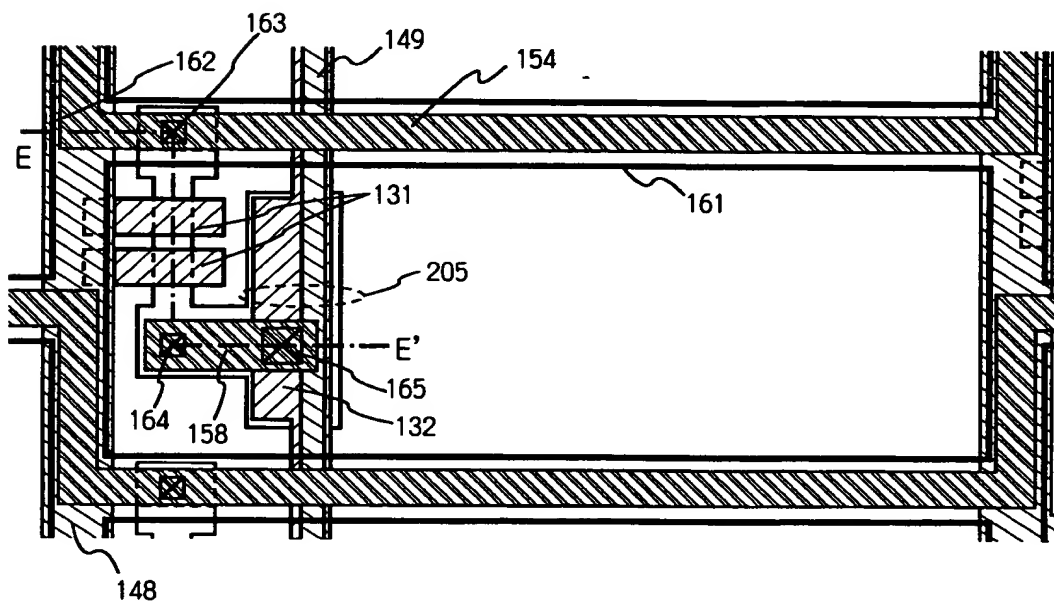


【図 1 2】

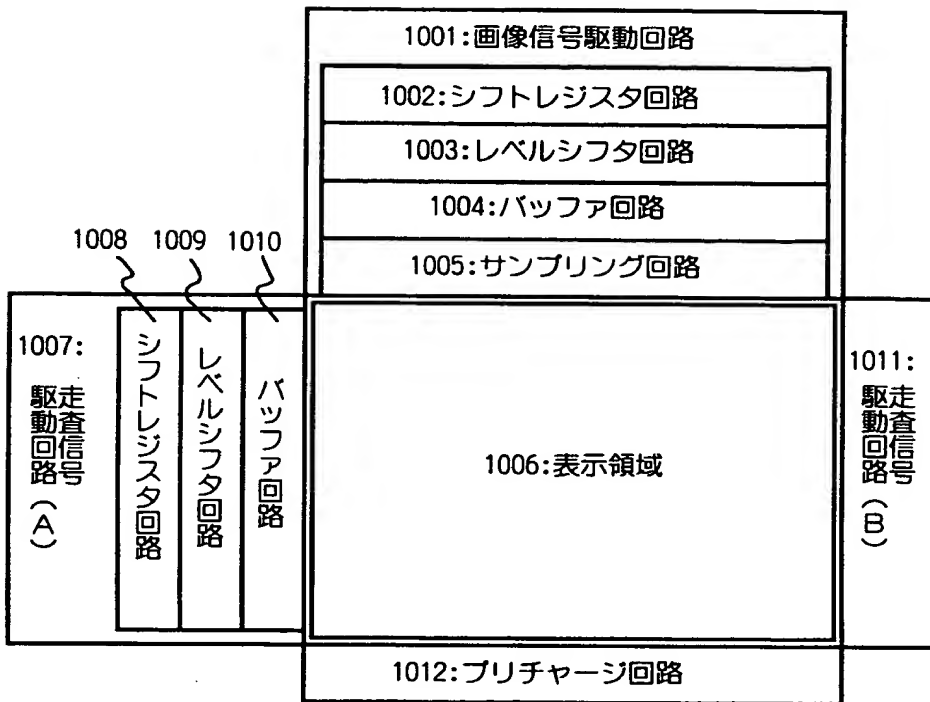


- 101 : 基板
 306 : 表示領域
 302, 303 : 入力配線
 304 : 走査信号駆動回路
 305 : 画像信号駆動回路
 731 : FPC、732, 733 : ICチップ、
 734 : 外部入出力端子
 204 : 画素TFT
 148 : ゲート配線、154 : ソース配線
 161 : 画素電極、205 : 保持容量
 602 : 対向基板

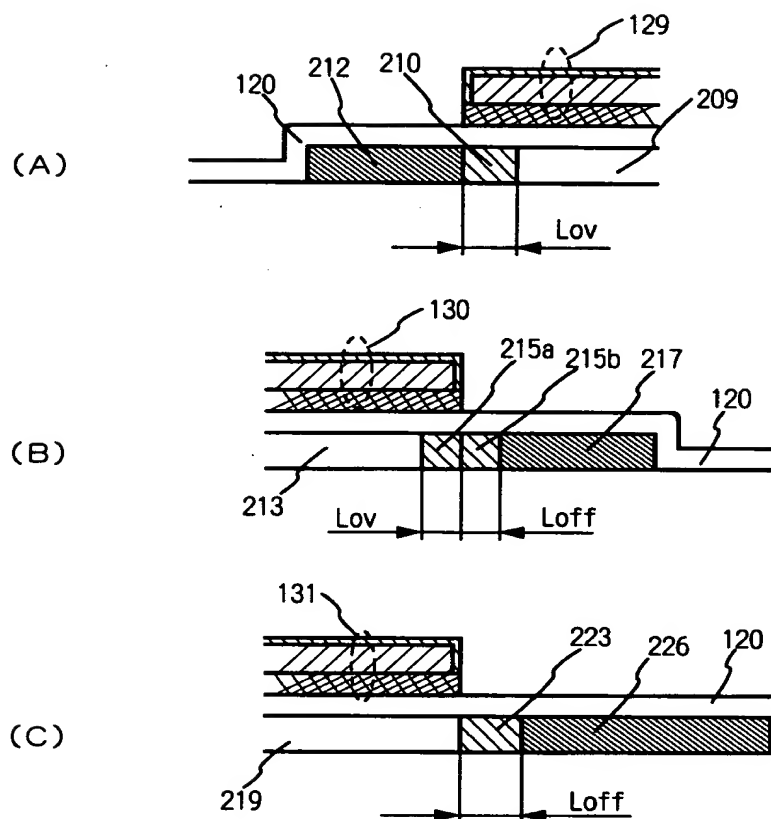
【図 1 3】



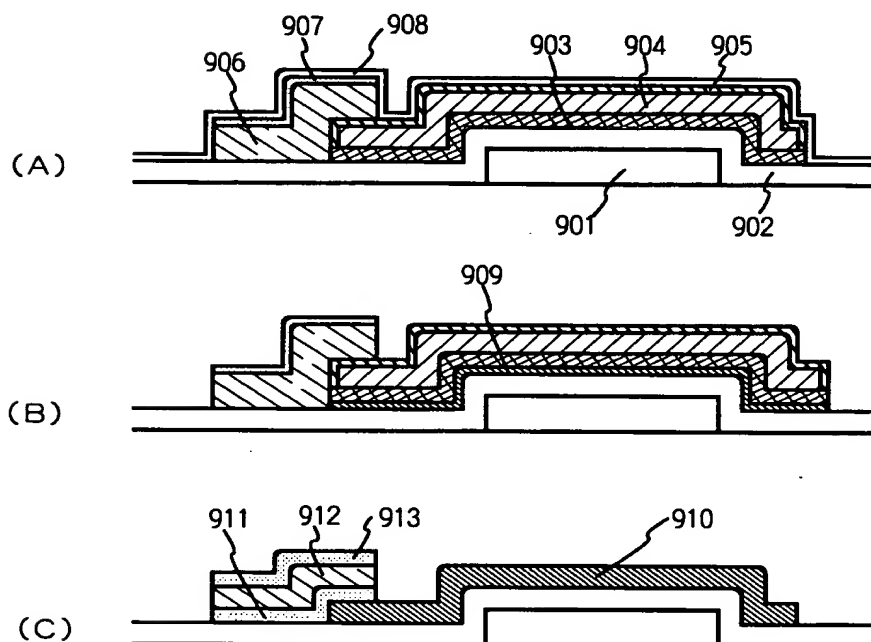
【図 1 4】



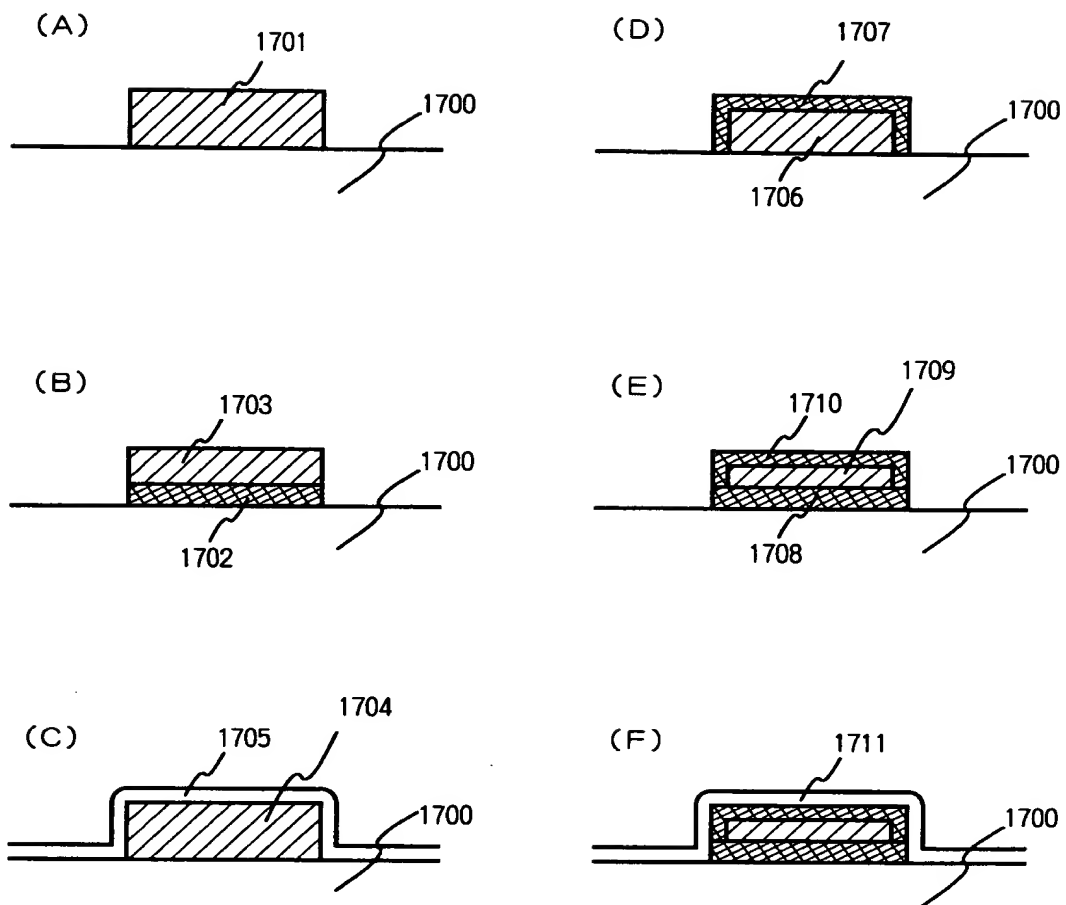
【図 1 5】



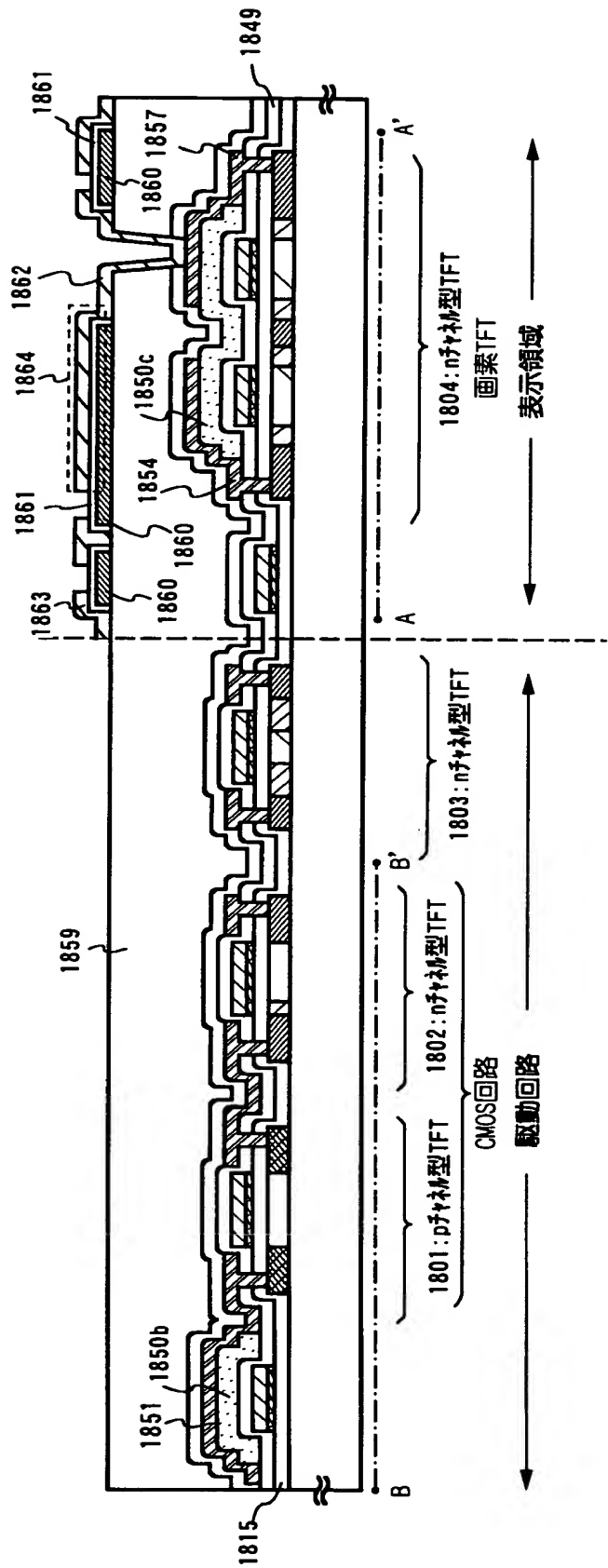
【図 1 6】



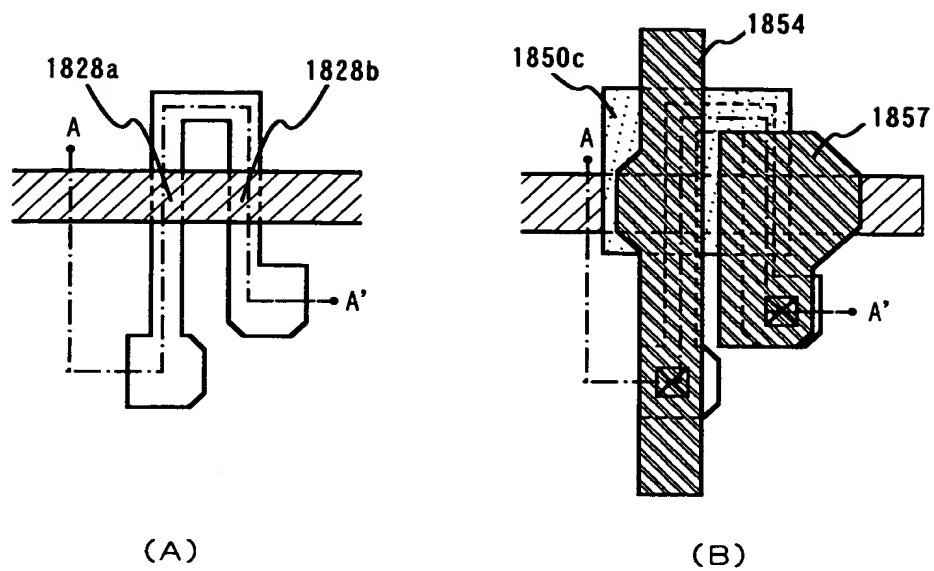
【図 1 7】



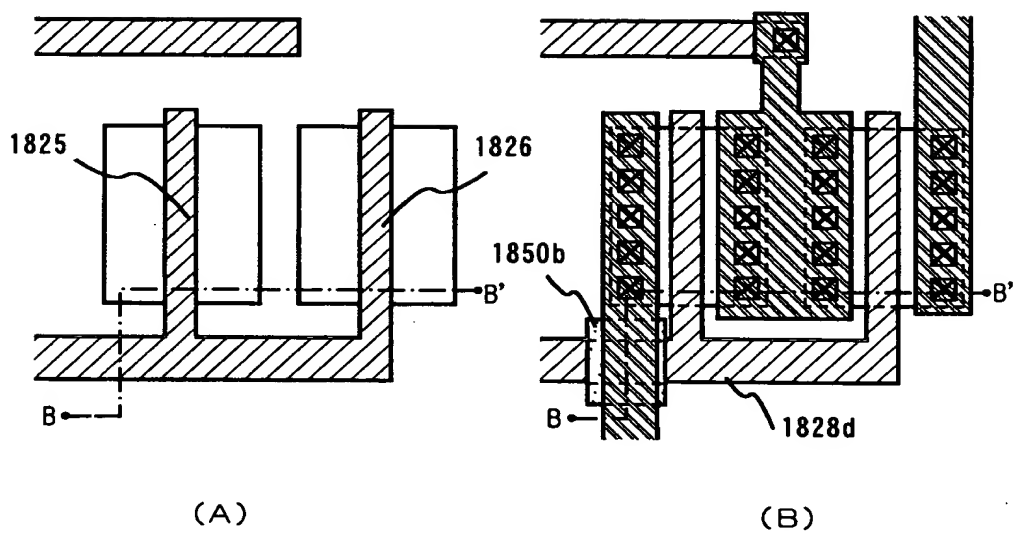
【図 1 8】



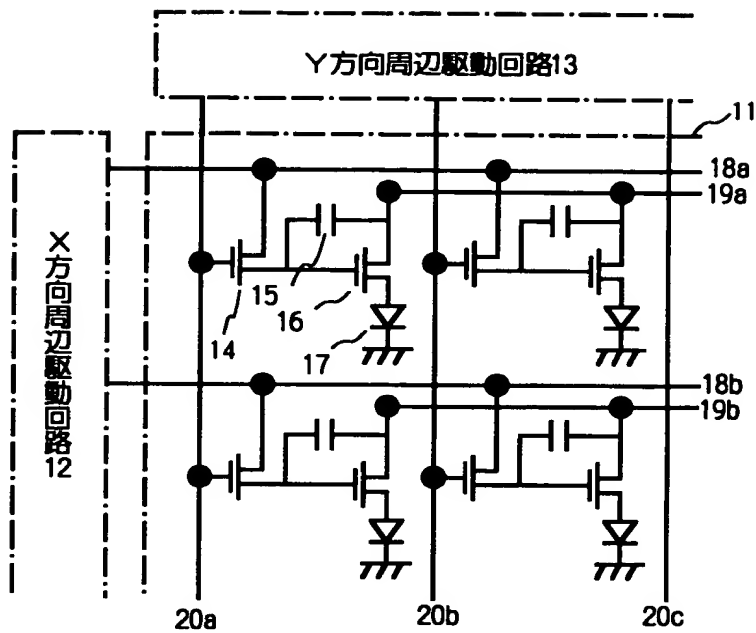
【図 1 9】



【図 2 0】



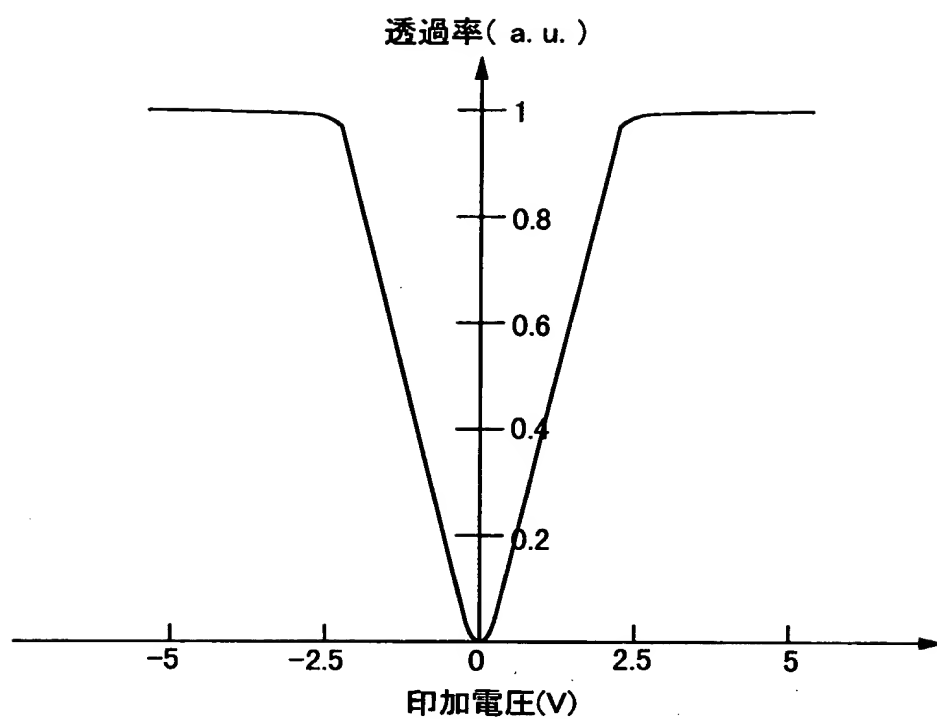
【図 2 1】



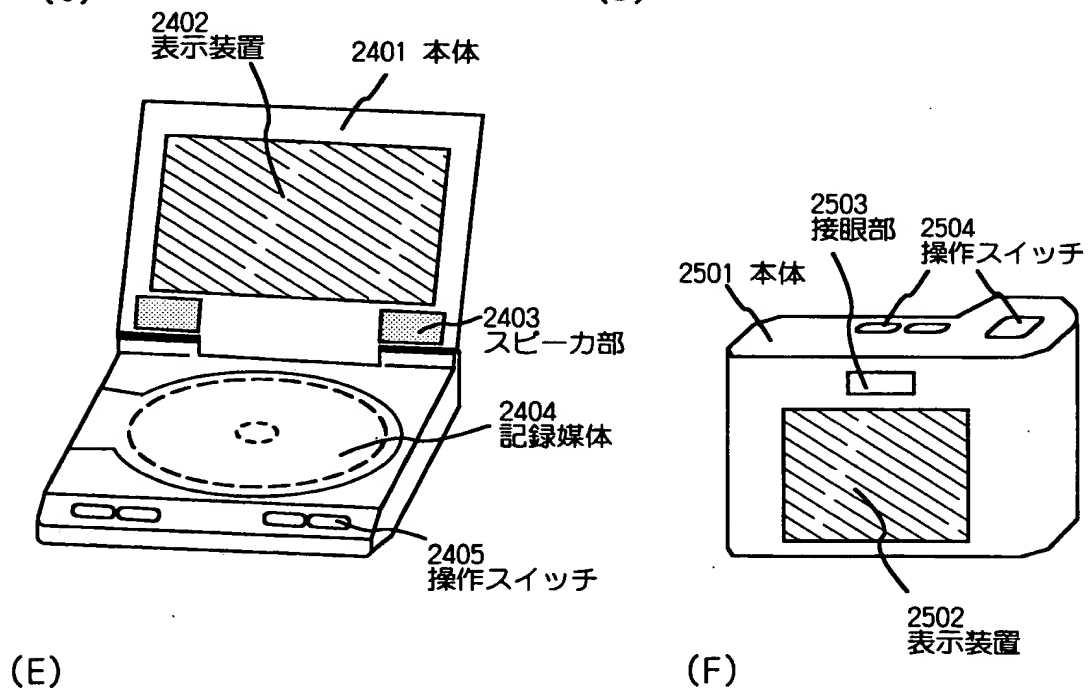
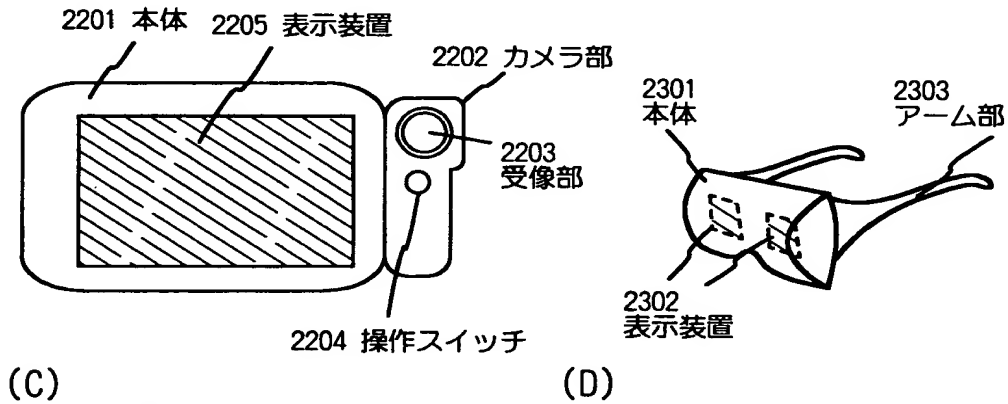
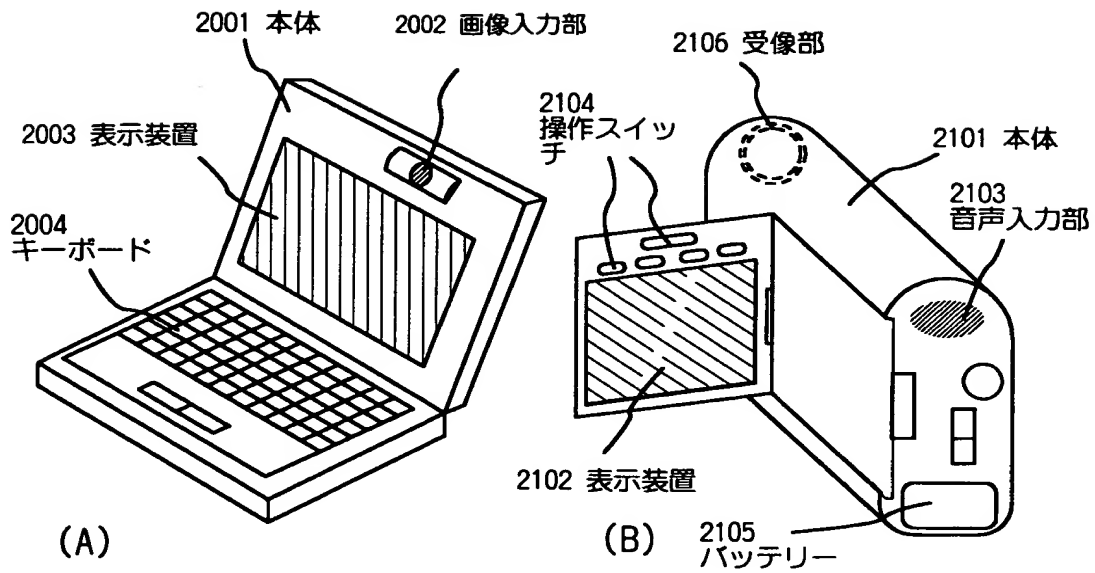
11:表示領域 12:X方向周辺駆動回路 13:Y方向周辺駆動回路
 14:スイッチ用TFT 15:コンデンサ 16:電流制御用TFT 17:有機EL素子
 18a, 18b:X方向信号線 19a, 19b:電源線 20a, 20b, 20c:Y方向信号線

ELパネル回路図

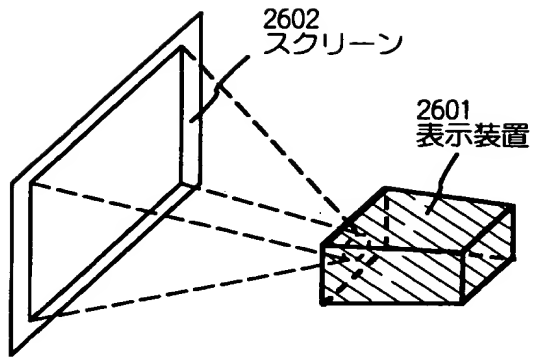
【図 2 2】



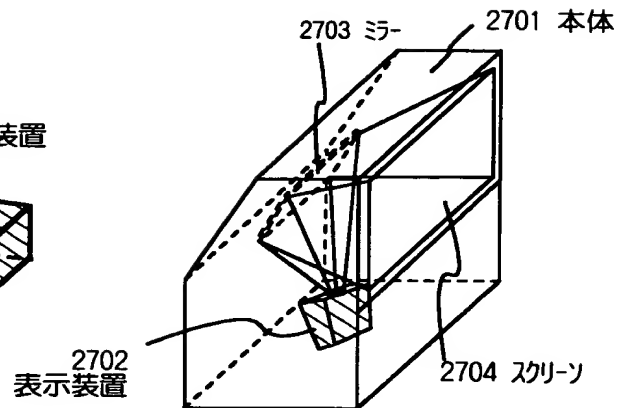
【図 2 3】



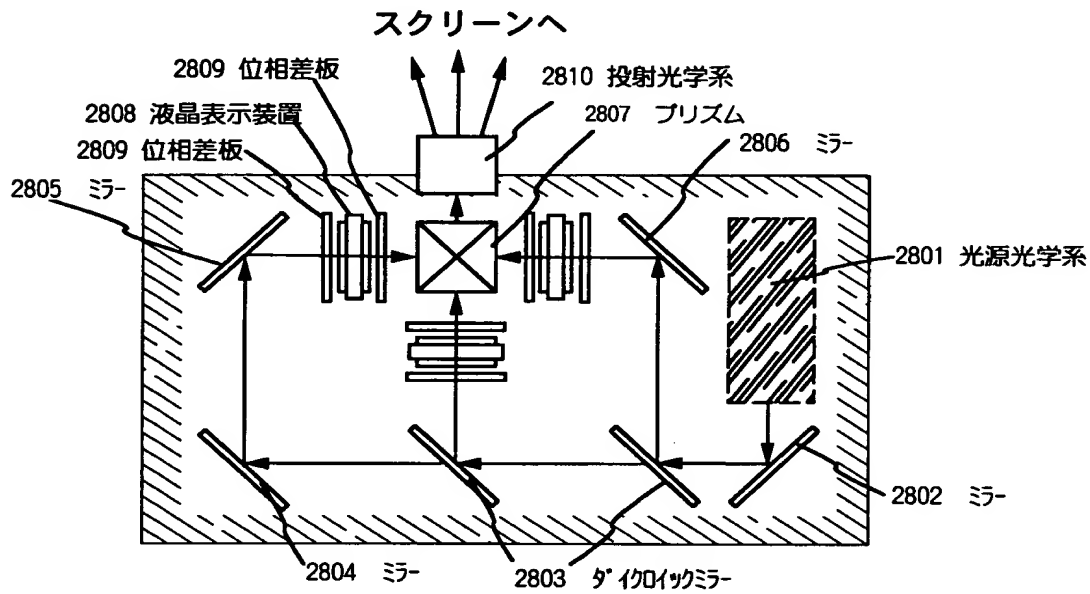
【図 2 4】



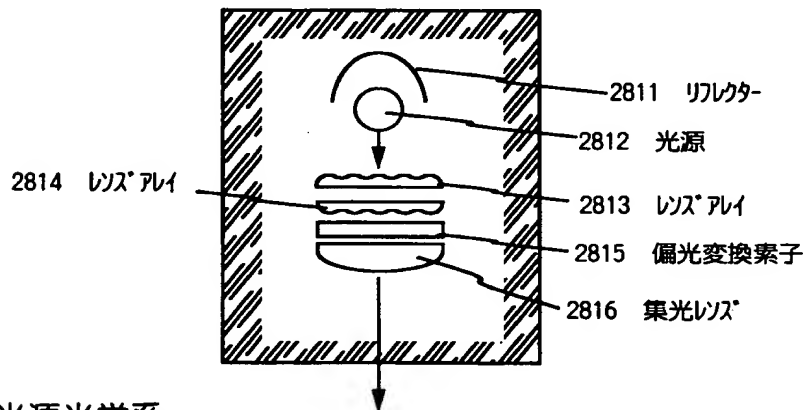
(A)



(B)

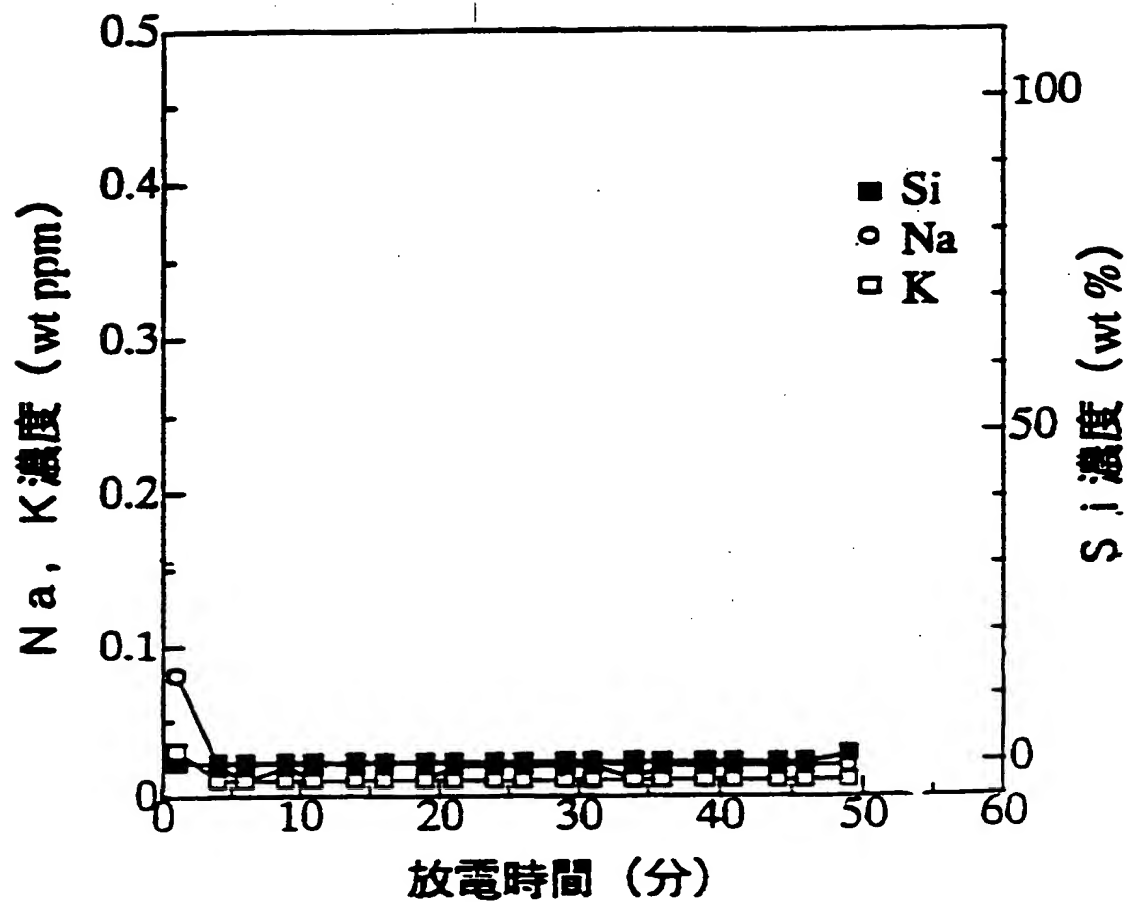


(C)表示装置（三板式）



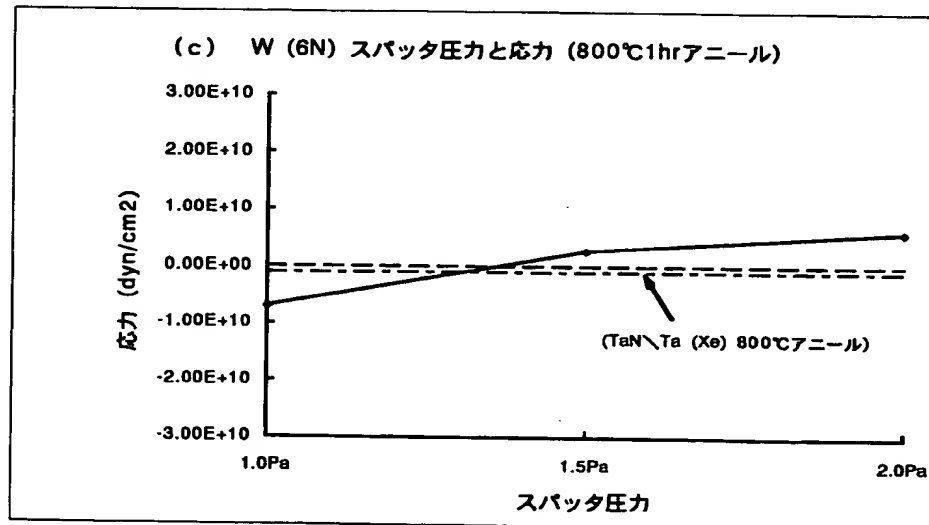
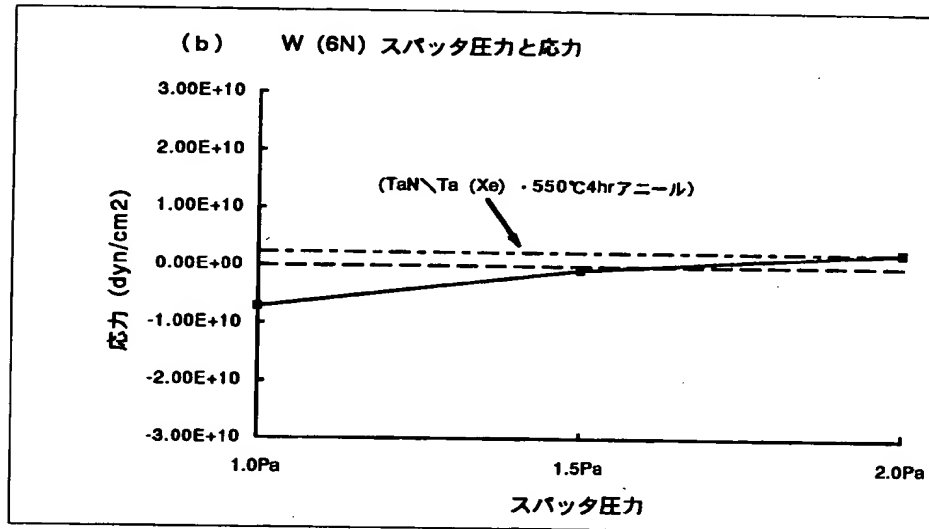
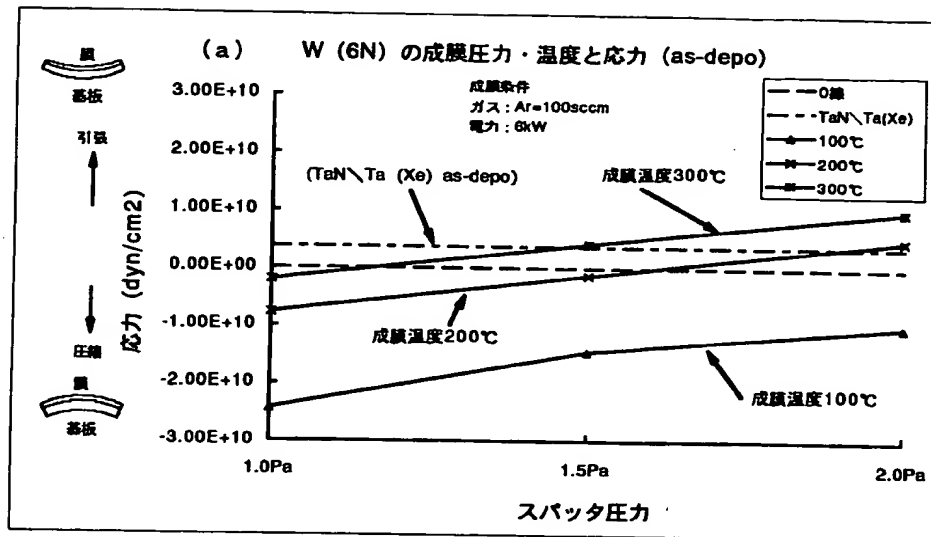
(D)光源光学系

【図 2 5】

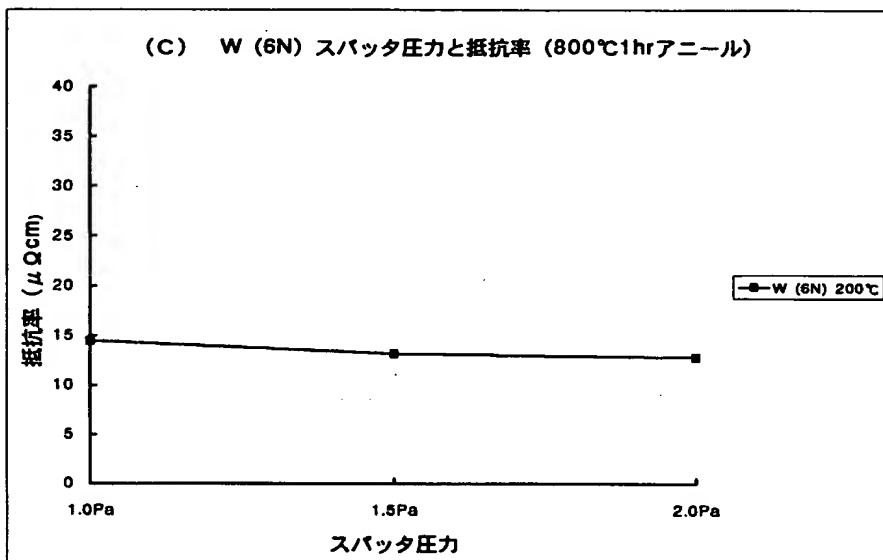
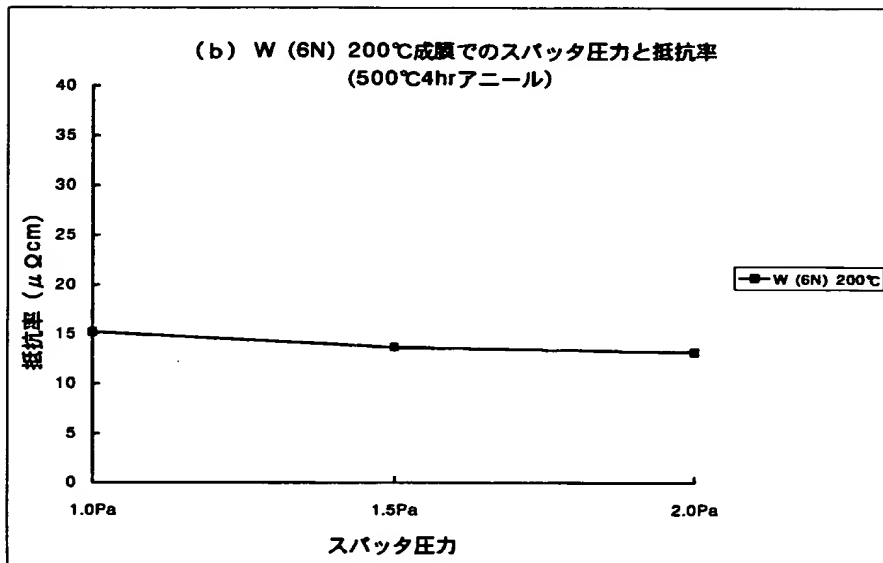
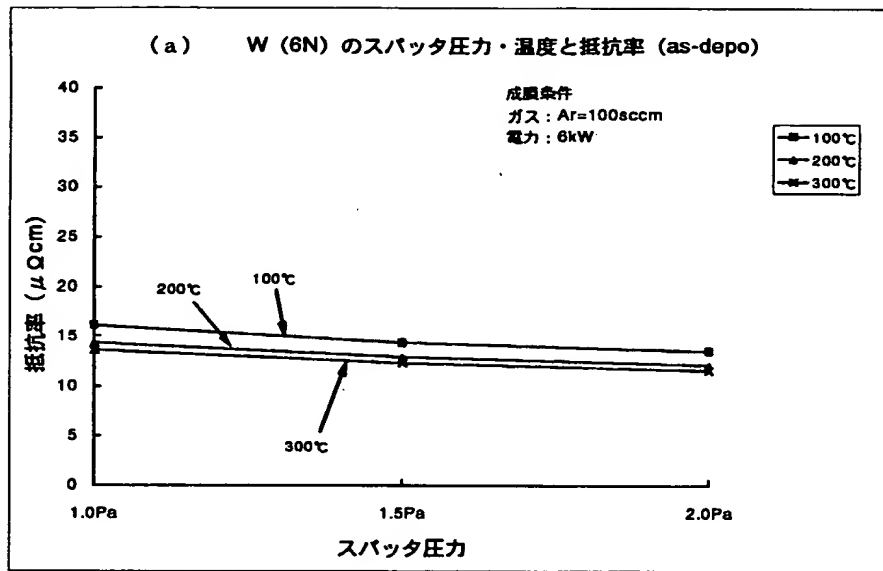


W膜中Na, K分析

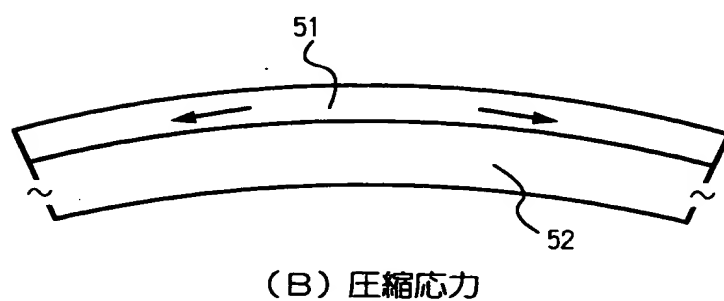
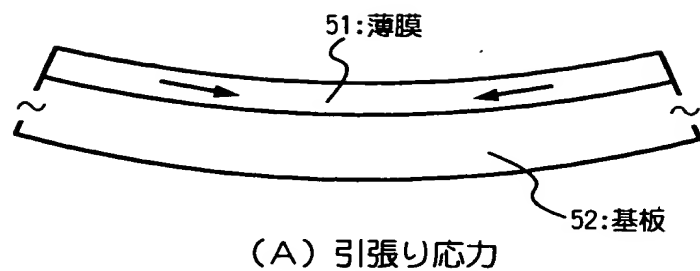
【図 2 6】



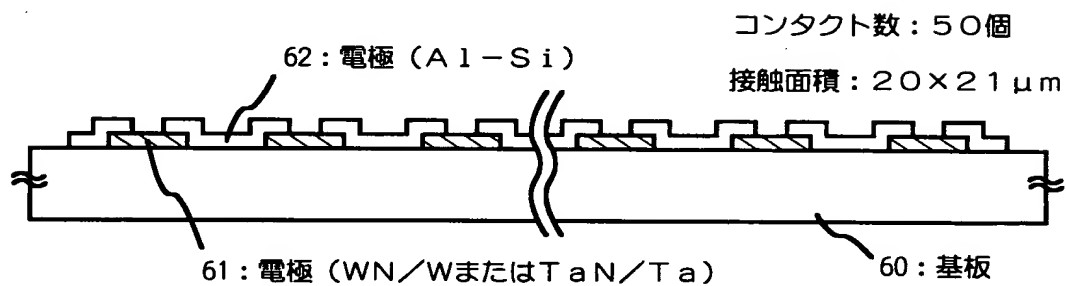
【図 2 7】



【図 2 8】



【図 2 9】



【書類名】 要約書

【要約】

【課題】 T F T特性の高い半導体装置を実現する。

【解決手段】 ターゲットとしては高純度のターゲットを用い、スパッタガスとしてはアルゴン (A r) の単体ガスを用い、基板温度を 3 0 0℃以下とし、スパッタガスの圧力を 1 . 0 P a ~ 3 . 0 P a とすることにより膜の応力を、 $-1 \times 10^{10} \sim 1 \times 10^{10} \text{ dyn/cm}^2$ とする。こうして、膜中に含まれるナトリウムが 0 . 0 3 p p m 以下、好ましくは 0 . 0 1 p p m 以下であり、且つ、低い電気抵抗率 ($40 \mu \Omega \cdot \text{cm}$ 以下) を有する導電膜を T F T のゲート配線材料やその他の配線材料として用いることにより、T F T を備えた半導体装置の動作性能や信頼性を大幅に向上させることができる。

【選択図】 図 2 5

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日	1990年 8月17日
[変更理由]	新規登録
住 所	神奈川県厚木市長谷398番地
氏 名	株式会社半導体エネルギー研究所